



## STI2D - Système d'Information et Numérique

TD TP Cours Synthèse Devoir Evaluation Projet Document ressource

# LIAISON SPI

## 1 – ARCHITECTURE DE LA LIAISON SPI

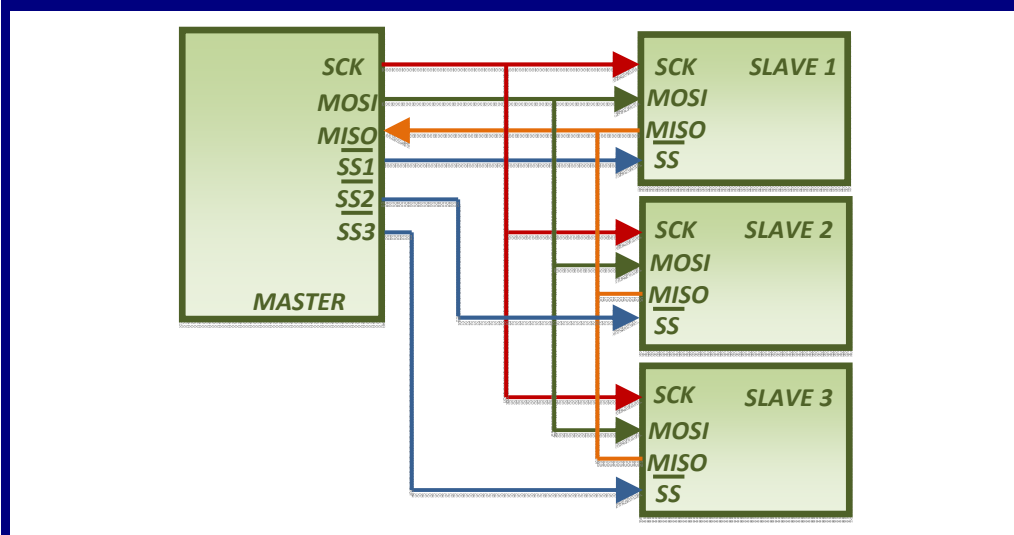
La **liaison SPI** (Serial Périphérique Interface) est un **bus série** utilisé pour la **transmission synchrone** de données entre un maître et un ou plusieurs esclaves (**multipoints**). La transmission a lieu en **full duplex**.

Le maître (très souvent un  $\mu\text{C}$ ) **génère l'horloge** et **initialise la transmission** de données en **sélectionnant l'esclave** (convertisseur, registre à décalage, mémoire, ...) avec qui il veut communiquer. Chaque esclave est **sélectionné par une ligne SS** (Slave Select) et n'est actif que lorsqu'il est sélectionné.

Le bus SPI est composé de deux lignes de données et deux lignes de signal, toutes **unidirectionnelles** :

- ❑ **MOSI (Master Out Slave In)** : Sur la ligne MOSI le **maître transmet des données à l'esclave**.
- ❑ **MISO (Master In Slave Out)** : Sur la ligne MISO l'**esclave transmet des données au maître**.
- ❑ **SCK (SPI Serial Clock)** : Signal d'horloge, généré par le maître, qui **synchronise la transmission**. La fréquence de ce signal est fixée par le maître et est programmable.
- ❑ **SS (Slave Select)** : Ce signal **placé au NLO** permet de **sélectionner** (adresser) **individuellement un esclave**. Il y a **autant de lignes SS que d'esclaves** sur le bus. Le nombre possible de raccordements SS du maître limitera donc le nombre d'esclaves.

Exemple de configuration de bus SPI avec un maître et plusieurs esclaves

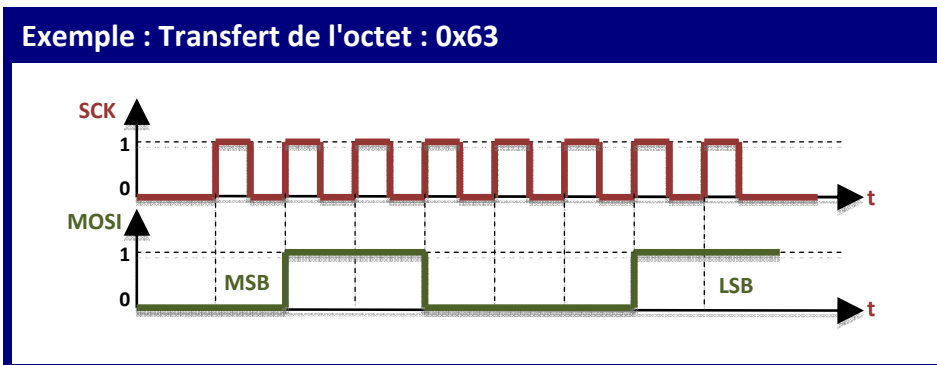


## 2 – TRAME DE TRANSFERT

Pour **démarrer une transmission** de données, le maître sélectionne un esclave en mettant sa ligne SS respective au **NL0**.

A chaque front d'horloge, le maître **envoie un bit sur la ligne MOSI**. De même il peut **recevoir** à chaque front d'horloge, sur la ligne **MISO**, un **bit transmis** par l'esclave. La **transmission commence par le MSB**.

La transmission de données est **terminée** dès que la ligne SS est remise au **NL1**.



## 3 – MODE DE SERVICE

Le protocole du bus SPI permet de configurer le signal d'horloge (SCK) grâce à deux paramètres :

- ❑ **CPOL (Clock Polarity)** permet de configurer **l'état logique de repos** du signal d'horloge : Si **CPOL = 0** l'état de repos est le **NL0** et si **CPOL = 1** l'état de repos est le **NL1**.
- ❑ **CPHA (Clock Phase)** permet de définir le front actif, c'est-à-dire sur quel front d'horloge les données sont transmises : Si **CPHA = 0** le front actif est le **front de l'état de repos vers l'état actif** et si **CPHA = 1** le front actif est le **front de l'état actif vers l'état de repos**.

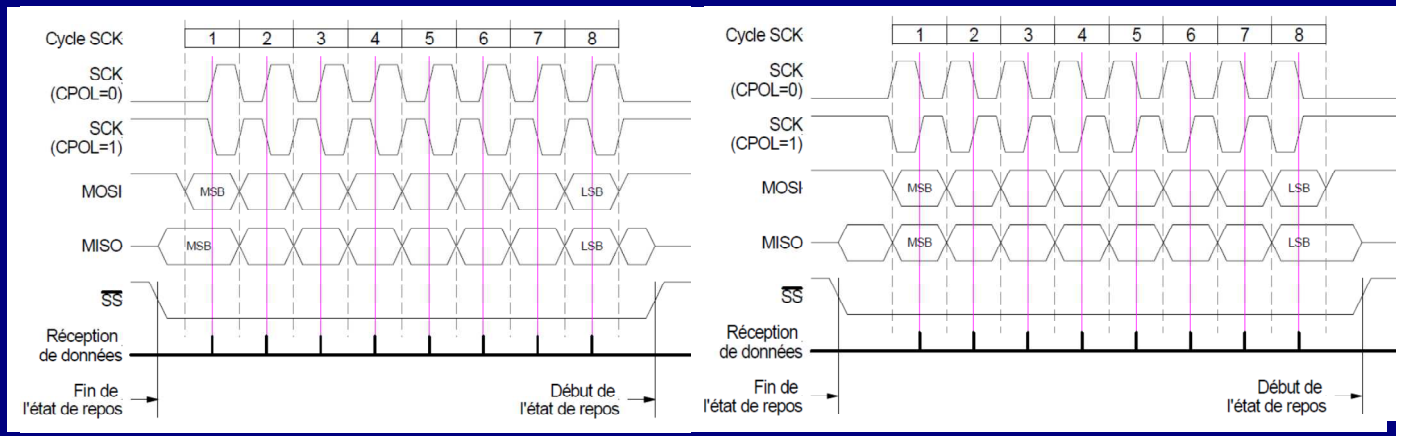
Ils en résultent quatre modes différents de transmission :

CPOL	CPHA	Etat de repos de la ligne SCK	Front actif du signal SCK
0	0	NL0	Front montant
0	1	NL0	Front descendant
1	0	NL1	Front descendant
1	1	NL1	Front montant

Pour une transmission de données correcte il est important que ces paramètres soient réglés de **manière identique pour tous les appareils reliés au bus**.

**Transmission d'un octet pour CPHA = 0**

**Transmission d'un octet pour CPHA = 1**



La **fréquence du signal SCK** est fixée par le maître en tenant compte des possibilités de l'esclave. Il s'agit très souvent d'un **rapport de la fréquence** de fonctionnement du maître ( $f_{\mu C}/2, f_{\mu C}/4, f_{\mu C}/8...$ ).

Pour un  $\mu C$  PIC, les réglages de la fréquence et des paramètres CPHA et CPOL sont disponibles par le biais d'un **registre interne spécifique 8 bits (SPCON : Serial Peripheral CONTROL register)** dans lequel chaque bit représente un paramètre.

7	6	5	4	3	2	1	0
SPR2	SPEN	---	---	CPOL	CPHA	SPR1	SPR0

N° de bit	Nom du bit	Description
7, 1, 0	SPR2, SPR1, SPR0	<b>Serial Peripheral Rate</b> : Bits permettant de régler la fréquence du signal d'horloge SCK
6	SPEN	<b>Serial Peripheral Enable</b> : 0 = Interface SPI inactive ; 1 = Interface SPI active
3	CPOL	<b>Clock Polarity</b> : 0 = Etat de repos des lignes au NLO ; 1 = Etat de repos des lignes au NL1
2	CPHA	<b>Clock Phase</b> : 0 = Donnée acquise lors du front du signal SCK qui quitte l'état de repos et 1 = Donnée acquise lors du front du signal SCK qui retourne à l'état de repos

[SPR2 SPR1 SPR0]	Fréquence d'horloge	Division de fréquence
000	$f_{\mu C}/2$	2
001	$f_{\mu C}/4$	4
010	$f_{\mu C}/8$	8
011	$f_{\mu C}/16$	16
100	$f_{\mu C}/32$	32
101	$f_{\mu C}/64$	64
110	$f_{\mu C}/128$	128
111	Horloge Externe	

Sous **Flowcode**, la configuration de la liaison SPI, s'effectue à partir de la fenêtre ci-contre

