

Spécialité génie électronique

Session 2001

Etude des systèmes techniques industriels

Durée : 6 heures

coefficient : 8

AVS 2000
Analyse de la Vitesse du Son

Tout document interdit

Calculatrice à fonctionnement autonome autorisée
(circulaire 99.186 du 16.11.99)

Ce sujet comporte :

- A- Analyse fonctionnelle du système : A1 à A9
- B- Partie mécanique et construction:
 - Questions et documents réponses : BR1 à BR9
 - Documents annexes : BAN1 à BAN11
- C- Partie électronique :
 - Questions et documents réponses : C1 à C13 et CR1 à CR6
 - Documents annexes : CAN1 à CAN15

BACCALAUREAT SCIENCES ET TECHNOLOGIES INDUSTRIELLES

Spécialité génie électronique

Session 2001

DOSSIER A

PRESENTATION DU SYSTEME
TECHNIQUE ET DE L'OBJET
TECHNIQUE

ANALYSE FONCTIONNELLE

AVS 2000
Analyse de la Vitesse du Son

PAGES A1 à A9

AVS 2000 : Analyse de la Vitesse du Son dans les bétons

Pour apprécier l'homogénéité du bétonnage d'un grand ouvrage en phase de fondation (par exemple : lors de la construction du pont de Normandie . . .) et en détecter les défauts localisés, il a été prévu des réservations tubulaires dans les éléments de fondation (pieux).

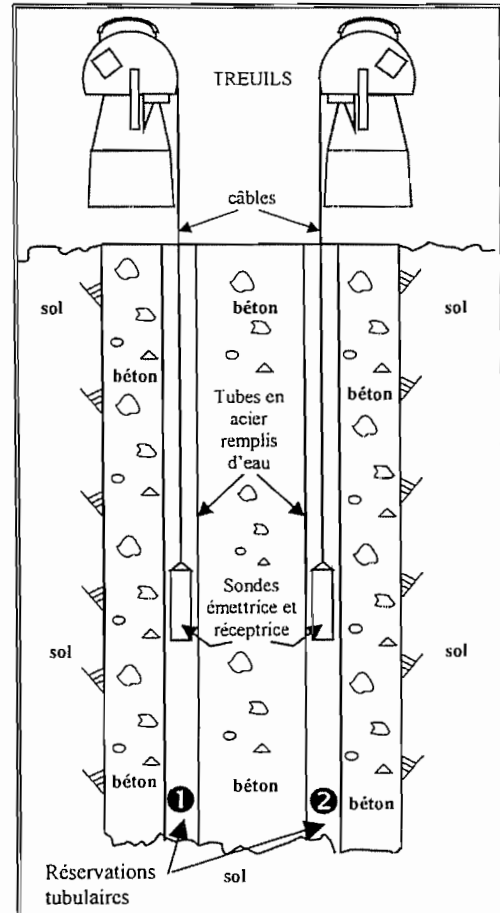
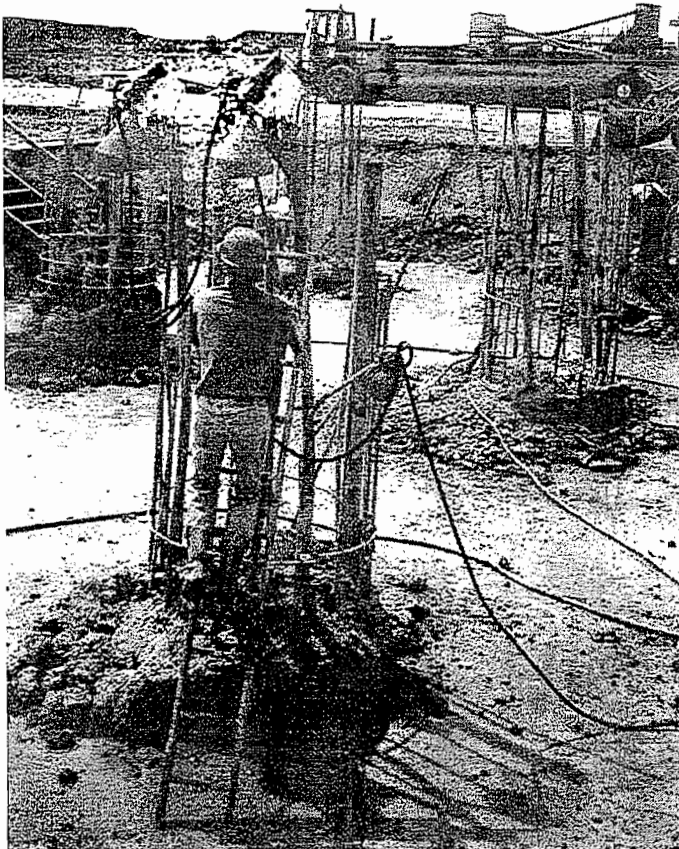
L'AVS 2000, commercialisé à l'échelle internationale, permet l'auscultation de ces éléments de fondation. Cet objet technique que nous nous proposons d'étudier partiellement a été conçu par le Centre d'Etudes et de Constructions de Prototypes de Rouen dépendant de l'Equipement.

Ce produit est appelé AVS 2000. Son principe de fonctionnement repose sur le fait que la vitesse de propagation des ondes sonores dans un matériau est intimement liée à ses caractéristiques physiques et à la présence de discontinuités plus ou moins importantes. L'AVS détermine à une profondeur donnée **la durée de propagation et l'atténuation du signal reçu**. En cas de défauts d'homogénéité sur un pieu la durée de propagation augmente et l'amplitude du signal reçu diminue.

A1 – ANALYSE DU SYSTEME TECHNIQUE

1.1 Expression du besoin

On s'intéressera au système technique CHANTIER, visualisé ci-dessous, au moment du contrôle de la qualité du bétonnage d'un pieu de fondation.



IEELMEJ

Les photos suivantes font apparaître des éléments du système

Photo 1 : mise en évidence des treuils, qui permettent la montée ou la descente de chacune des sondes utilisées.

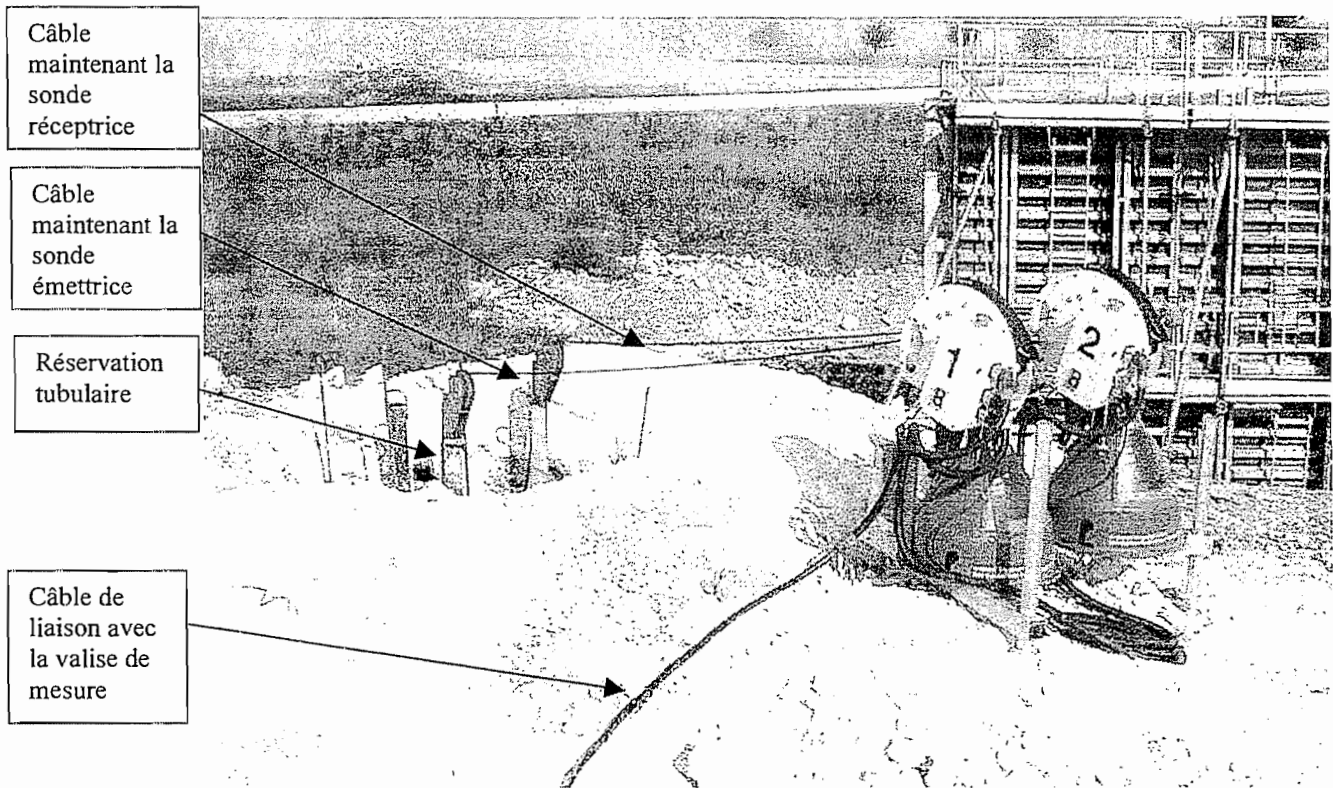
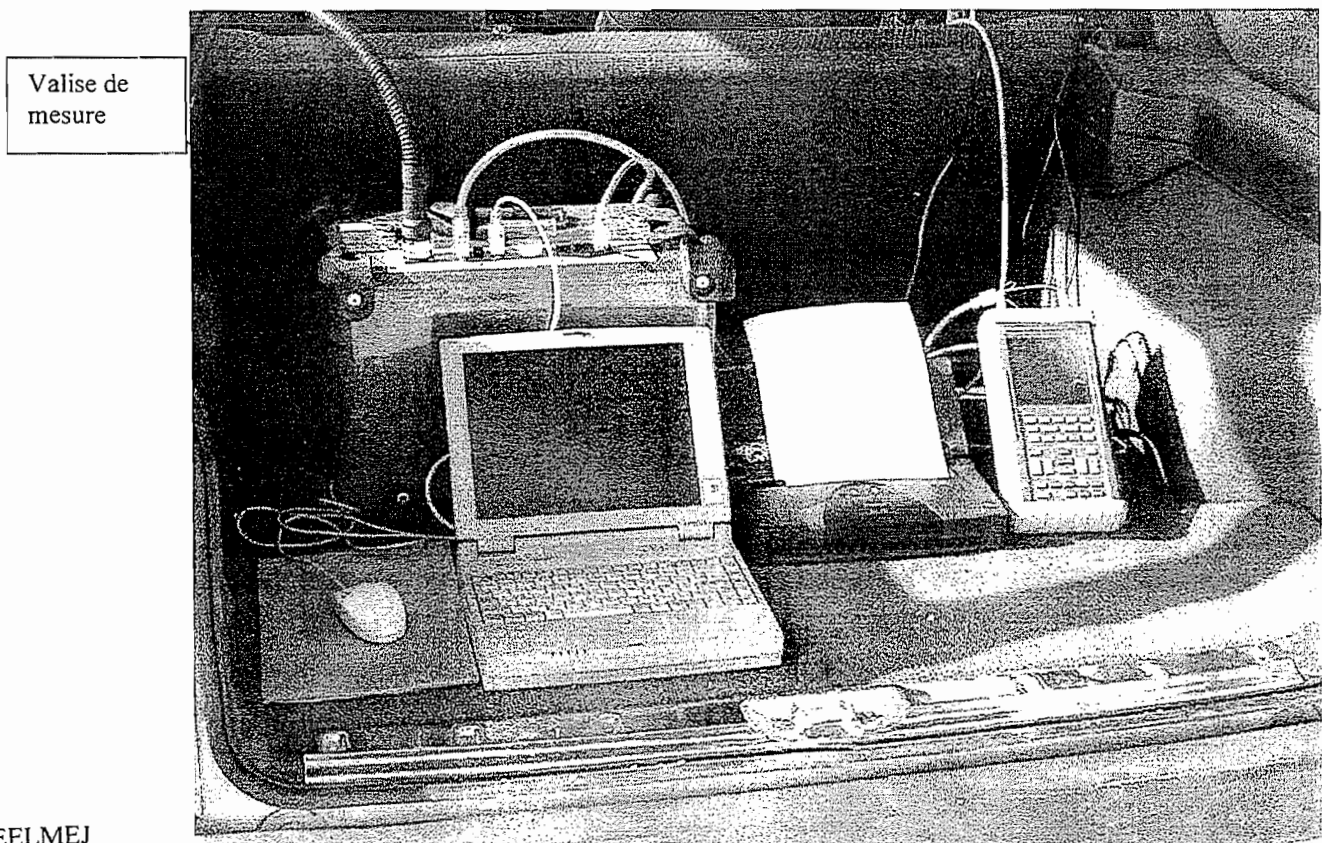


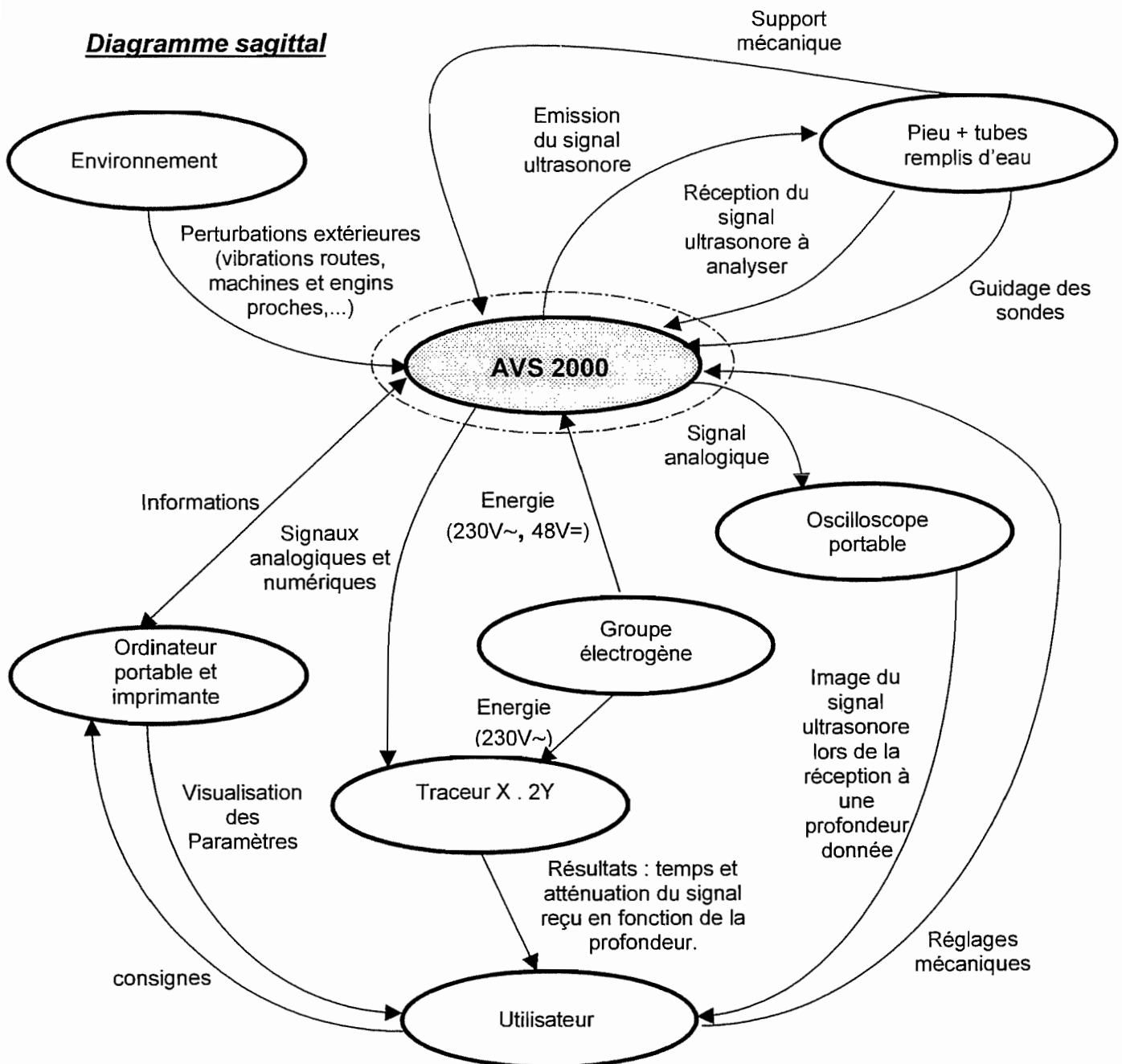
Photo 2 : Un véhicule assure le transport et la protection contre les intempéries du matériel sensible. Celui-ci peut se trouver jusqu'à une distance de 80 mètres du lieu d'auscultation.



1.2 Identification des éléments du système

- AVS 2000
- UTILISATEUR
- PIEU et TUBES
- ORDINATEUR PORTABLE associé à une IMPRIMANTE
- TRACEUR
- OSCILLOSCOPE PORTABLE
- GROUPE ELECTROGENE
- ENVIRONNEMENT

1.3 Définition des relations entre les éléments



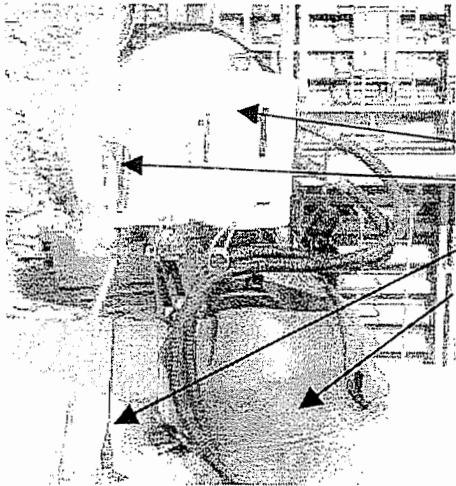
A2 – PRESENTATION DE L'OBJET TECHNIQUE

2.1 Description de l'objet technique

L'objet technique étudié, AVS 2000, se présente sous la forme de :

- 2 treuils à enroulement piloté, équipés de sondes
- 1 valise de mesure
- 1 ensemble de câbles électriques et d'éléments de fixation

Ce matériel a été conçu très modulaire, pour une mise en œuvre adaptée aux diverses contraintes du chantier (mobilité, protections de certains éléments contre les intempéries, contre les perturbations dues aux vibrations...).



Chacun des treuils contient :

- Un moteur réducteur (caché sur cette photographie).
- Un boîtier de raccordement.
- Une poulie codeuse permettant de déterminer la position de la sonde
- Une sonde émettrice (ou réceptrice).
- Un magasin à câble et le câble d'une sonde (permettant d'atteindre une profondeur maximale de 48m)

Les deux treuils sont asservis l'un par rapport à l'autre, ce qui garantit un excellent positionnement relatif des sondes.

Les sondes contiennent comme transducteur un tube pulsant piézo-électrique complété par l'électronique associée.

La distance séparant ces sondes peut varier de 0,2 à 2 m.

La sonde émettrice génère un signal ultrasonore appelé "pêche" compte tenu de son amplitude (environ 800V) et de sa brièveté (3 à 4 périodes d'un signal sinusoïdal de fréquence de 50 KHz).

La fréquence de récurrence (répétition) de l'émission de ces ultrasons est réglable de 1 Hz à 20 Hz.

La sonde réceptrice assure une transmission correcte du signal reçu vers la valise de mesure, grâce notamment au réglage de gain de sa partie électronique, ajusté par l'utilisateur en fonction de l'écart entre les deux sondes.

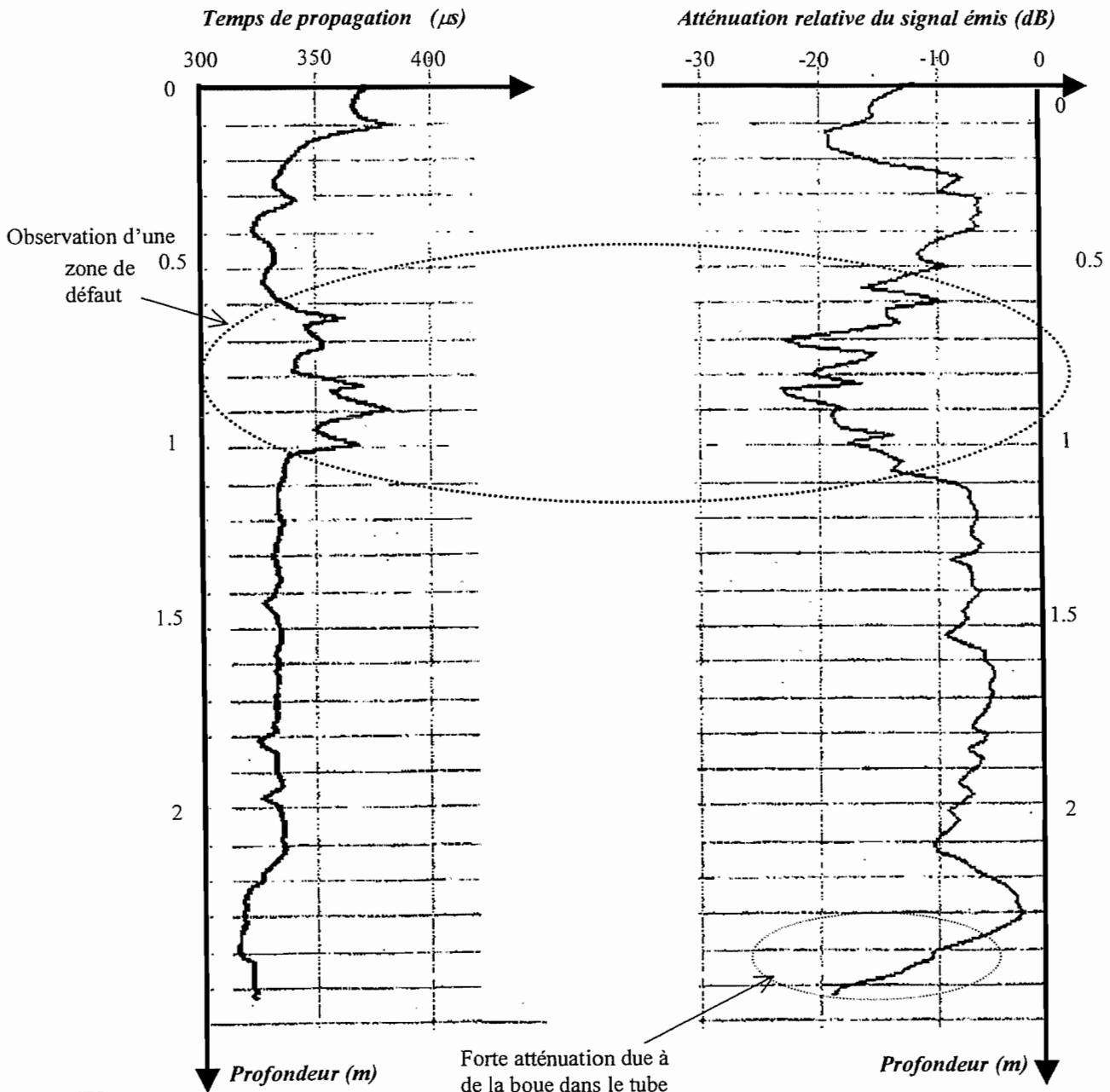


La valise de mesure contient les cartes électroniques de traitement et les connecteurs associés pour la mesure des deux paramètres : amplitude du signal reçu et durée de propagation.

IEELMEJ

L'essai consiste à émettre à une profondeur donnée dans le matériau, une onde ultrasonore qui va se propager dans le béton, puis à capter cette onde au même niveau à une distance prédéterminée, et à mesurer le temps de propagation entre les deux points ainsi que l'atténuation de l'amplitude du signal reçu. En répétant ces mesures sur toute la hauteur de l'élément on enregistre les variations de ces caractéristiques. A l'issue d'une de ces auscultations qui s'effectuent lors de la remontée des sondes, un traceur fournit automatiquement deux graphes qui permettent de localiser les zones de défaut.

Élément de fondation
 Date : 12/10/99
 Dossier N° :
 Réservations : 6->3 (149cm)
Réglage chaîne de mesure
 Fréquence : 15 Hz
 Vitesse : 15 cm/s

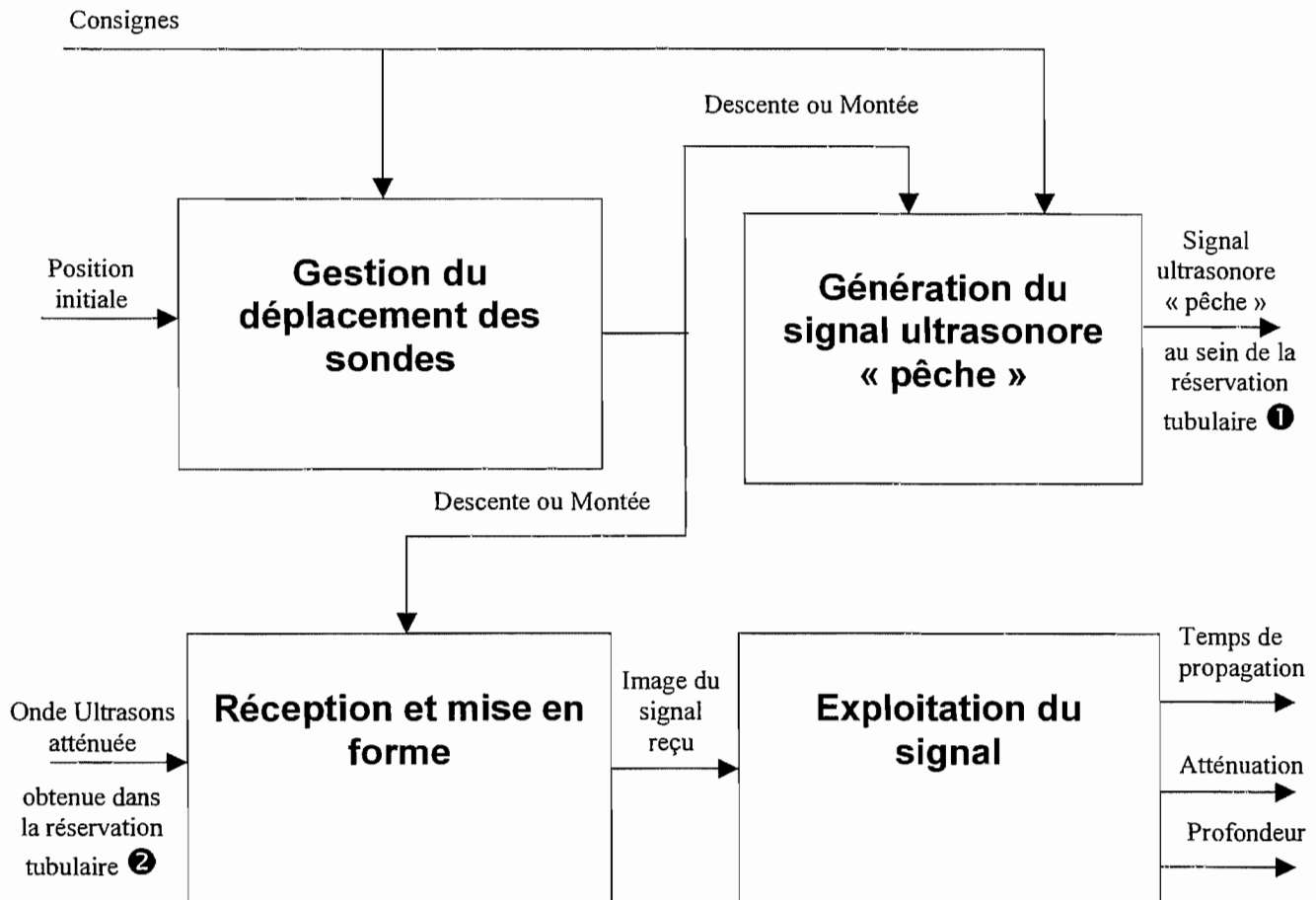


IEELMEJ

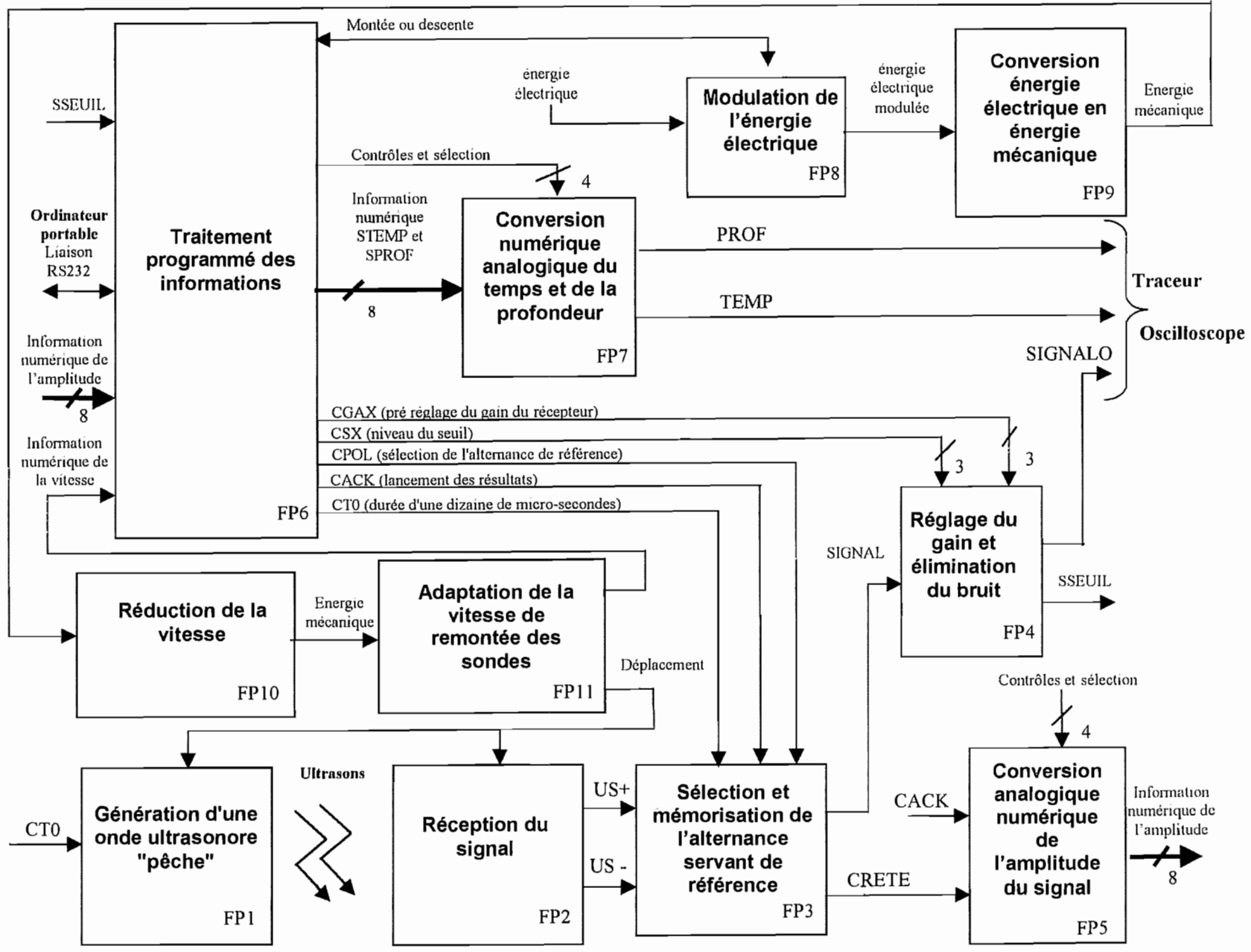
2.2 Fonction d'usage

Evaluation quantifiée des qualités structurales du béton durci d'un pieu par l'obtention de trois informations suite à l'émission d'un signal ultrasonore entre deux réservations tubulaires. Ces trois informations mesurées étant le lieu du point de mesure (profondeur), le temps de propagation et l'atténuation du signal reçu.

2.3 Schéma fonctionnel de niveau II



IEELMEJ

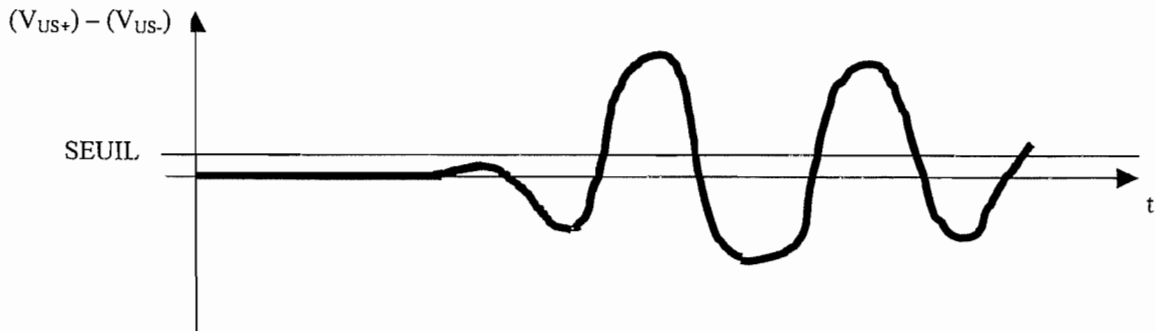


On se limitera aux fonctions principales nécessaires à la compréhension du sujet.

2.4 Schéma fonctionnel de degré 1

Compléments d'informations sur des signaux d'entrée/sortie des fonctions principales :

US+, US- (FP2 vers FP3) : deux signaux analogiques en opposition de phase traduisant le **signal ultrasonore**.

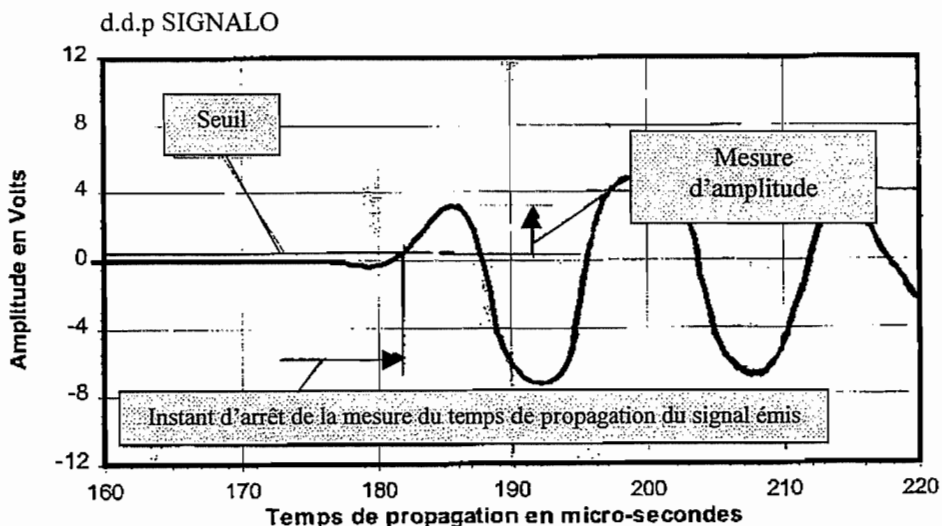


Remarques : - les mesures d'amplitude et de temps de propagation en fonction de la profondeur sont effectuées à partir de la **première alternance exploitable du signal $V_{US+} - V_{US-}$ reçu.**

- On peut être amené à constater, comme sur le chronogramme ci-dessus que la **première alternance positive est d'une amplitude insuffisante** (inférieure à un seuil prédéfini par l'utilisateur). Dans ce cas on inversera le signal $V_{US+} - V_{US-}$. La première alternance négative deviendra la première alternance positive exploitable.

SIGNAL (FP3 vers FP4): d.d.p (différence de potentiels) analogique **image du signal ultrasonore « pêche »** (inversée ou non inversée pour que la première alternance soit exploitable) après transmission au sein du milieu à ausculter.

SIGNALO (FP4) : d.d.p analogique à l'**identique de SIGNAL** pouvant être observé à l'oscilloscope sans perturber SIGNAL (voir chronogramme ci-dessous).



Remarque : la première alternance était d'amplitude insuffisante (inférieure à V_{SEUIL}), le signal reçu a été inversé.

- CACK** (FP6 vers FP3 et FP5) : grandeur logique de **lancement des résultats** de la mesure du temps de propagation et de la mesure de l'amplitude, qui se fait à partir de la première alternance positive du signal reçu.
- CGX** (FP6 vers FP4) : mot binaire défini par le logiciel (non accessible à l'utilisateur) qui permet un **pré réglage du gain du récepteur**.
- CPOL** (FP6 vers FP3) : grandeur logique de **sélection de l'alternance de référence**.
- CRETE** (FP3 vers FP5) : d.d.p continue correspondant à la **valeur maximale de l'alternance de référence**.
- CSX** (FP6 vers FP4) : mot binaire qui permet, par logiciel, de définir le **niveau du seuil** à partir duquel on considère que l'on a reçu un signal (au-dessous de cette valeur les signaux reçus sont des bruits c'est à dire des signaux parasites).
- CTO** (FP6 vers FP3 et FP1) : signal logique d'une **durée d'une dizaine de micro-secondes** afin de compenser les temps de propagation dans l'appareillage.
Pendant cette durée le signal VCRETE est remis à 0 volt.
Son front montant déclenche l'émission du signal « pêche » .
Son front descendant lance la mesure du temps de propagation du signal.
- SSEUIL** (FP4 vers FP6) : grandeur logique **image de SIGNAL** (entrée de FP4) à **partir du seuil** de la première alternance positive observée.
- TEMP**(FP7) : d.d.p analogique qui informe le traceur sur le **temps de propagation**.
- PROF** (FP7) : d.d.p analogique qui informe le traceur de **la profondeur** des sondes.

BACCALAUREAT SCIENCES ET TECHNOLOGIES INDUSTRIELLES

Spécialité génie électronique

Session 2001

DOSSIER C

PARTIE ELECTRONIQUE

QUESTIONS ET DOCUMENTS REPONSES

DUREE : 4H30 (conseillée)

AVS 2000
Analyse de la Vitesse du Son

QUESTIONS PAGES : C1 à C13

DOCUMENTS REPONSES PAGES : CR1 à CR6

Remarques :

☞ Les 5 parties sont indépendantes.

☞ Durées partielles conseillées :

I- Questions relatives à l'analyse fonctionnelle :	environ 30 mn
II- Etude de FP3	environ 1H
III- Etude de FP4	environ 1H 15
IV- Etude de FP5	environ 45 mn
V- Etude de FP6	environ 1H

☞ Respectez bien la numérotation des questions pour répondre sur votre copie.

☞ N'oubliez pas de rendre les documents réponses CR1 à CR6 avec votre copie même si vous n'avez pas pu les compléter tous.

☞ Conventions adoptées pour toutes les fonctions

- Définitions des différences de potentiels :

par exemple : V_{SIGNAL} sera la d.d.p entre le point repéré SIGNAL et le 0V.

- Caractéristique des diodes de signal

Elles seront considérées comme idéales avec une tension de seuil de 0,6V.

- Amplificateurs intégrés

Ils sont tous alimentés entre +15V et -15V. Ils seront tous considérés comme idéaux.

☞ Valeurs normalisées associées à la série E12 :

100 – 120 – 150 – 180 – 220 – 270 – 330 – 390 – 470 – 560 – 680 – 820

I Questions relatives à l'analyse fonctionnelle

A l'aide du dossier de l'analyse fonctionnelle, on désire préciser les conditions de relevés et les caractéristiques des signaux électriques utilisés lors des mesures effectuées par l'AVS.

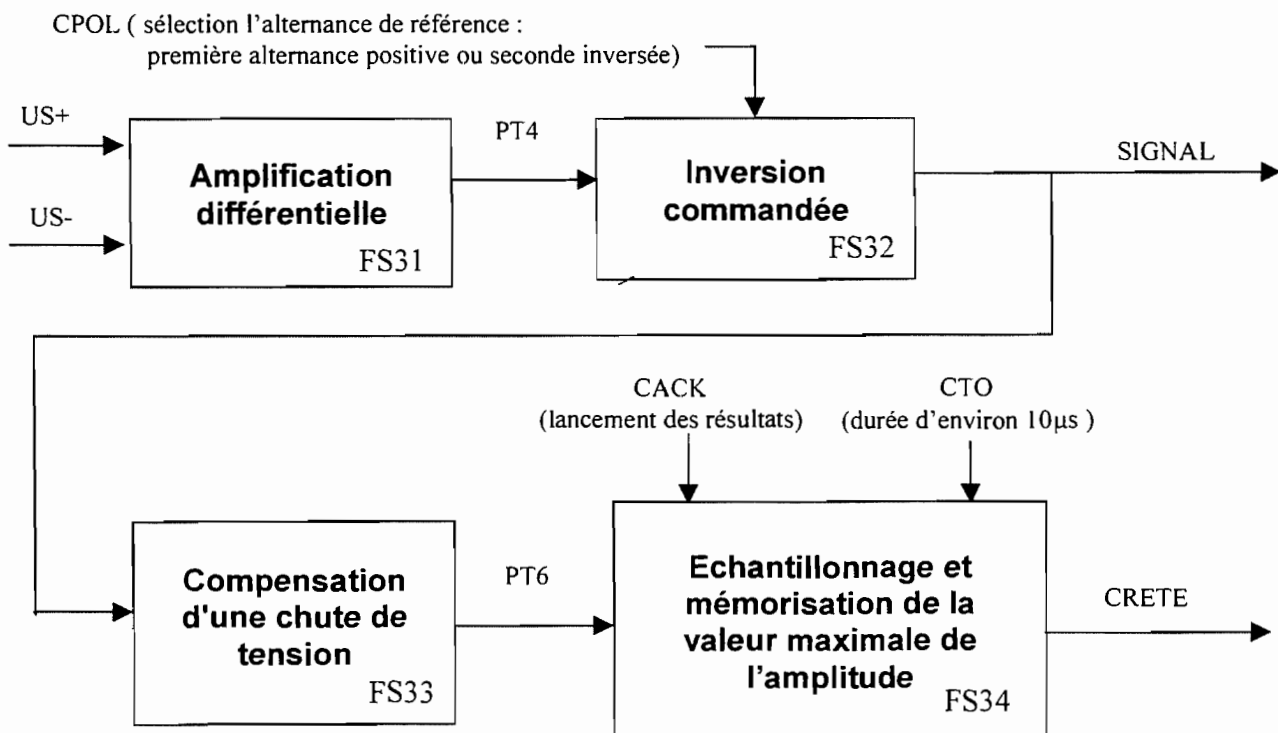
- 1) Rappeler, succinctement, le principe de fonctionnement du dispositif et préciser quelles sont, lors d'une mesure dans une zone de défaut, les grandeurs qui varient et de quelle façon ? Donner des valeurs numériques.
- 2) Indiquer lors de quel mouvement des sondes, engendré par les treuils, les mesures ont lieu ?
- 3) Dessiner l'allure de la d.d.p « pêche » fournie par la sonde émettrice (on précisera l'amplitude, la période correspondant à la « pêche » et la période de récurrence).
- 4) Justifier pourquoi la sonde réceptrice dispose d'un gain variable accessible à l'utilisateur.

II ETUDE DE FP3 : « Sélection et mémorisation de l'alternance servant de référence »

On souhaite mémoriser l'amplitude de la première alternance qui sera supérieure à un seuil prédéfini.

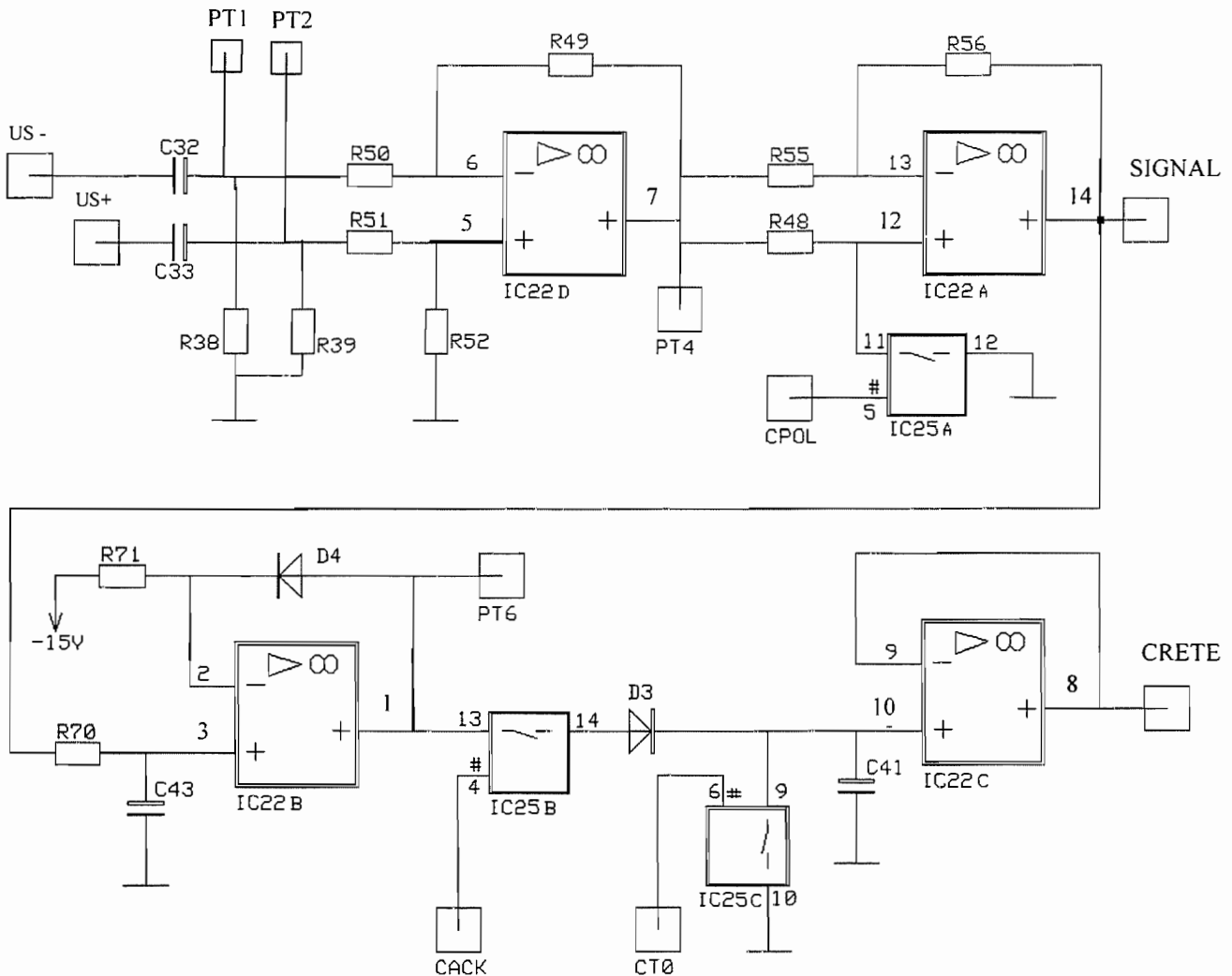
Aussi l'étude ci-dessous a pour but de valider l'élaboration des d.d.p VSIGNAL et VCRETE.

Schéma fonctionnel de second degré de FP3



IEELMEJ

Schéma structurel de FP3



⏏ : 0V
Amplificateurs intégrés alimentés en +15V -15V.

Liste des composants

R38 = 1 K Ω
R39 = 1 K Ω
R48 = 10 K Ω
R49 = 10 K Ω
R50 = 10 K Ω
R51 = 10 K Ω

R52 = 10 K Ω
R55 = 10 K Ω
R56 = 10 K Ω
R70 = 10 K Ω
R71 = 150 K Ω

C41 = 4,7 nF
C43 = 100 pF
D3 : 1N4148
D4 : 1N4148
IC22 : TL 074
IC25 : SW 7510EQ

- 5) Délimiter sur le document réponse N°1 (page CR1) les structures associées aux différentes fonctions secondaires de FP3.

Etude de la fonction FS31 : « Amplification différentielle »

L'utilisation d'un amplificateur différentiel permet de diminuer considérablement l'influence indésirable des tensions de mode commun.

- 6) Exprimer V_{PT4} en fonction de V_{PT1} et V_{PT2} (on remarquera que toutes les résistances associées sont égales).
- 7) Compléter le chronogramme de V_{PT4} sur le document réponse N°2 (page CR2)

Etude de la fonction FS32 : « Inversion commandée »

- 8) A l'aide de la documentation du circuit référencé SW7510EQ (page CAN1), rappeler l'état du commutateur IC25A en fonction de l'état logique de CPOL.
- 9) Pour les deux niveaux possibles de CPOL, exprimer V_{SIGNAL} en fonction de V_{PT4} .
- 10) En déduire le rôle de CPOL.
- 11) En considérant CPOL au niveau logique haut, compléter le chronogramme de V_{SIGNAL} sur le document réponse N°2 (page CR2)

Pour les questions suivantes (12 à 18), les niveaux logiques de CACK et CT0 seront considérés tels que :

- la liaison entre les broches 13 et 14, de IC 25B, sera établie,
- la liaison entre les broches 9 et 10, de IC 25C, ne sera pas établie (cette liaison s'étant ouverte à l'instant $t=0$).

Etude de la fonction FS33 : « Compensation »

La structure utilisée pour réaliser la fonction d'échantillonnage et mémorisation de la valeur maximale de l'amplitude (FS34) engendre une atténuation de 0,6 volt. Cette valeur étant non négligeable par rapport à celle de la d.d.p V_{SIGNAL} (quelques volts), il faut donc la compenser. Nous supposons, au cours de cette étude, que l'influence du filtre réalisé par l'ensemble R70 et C43 est négligeable à la fréquence (50 kHz) du signal V_{SIGNAL} .

- 12) A l'aide de la documentation du circuit IC22B référencé TL 074M (pages CAN2 et CAN3) déterminer les valeurs extrêmes (MIN) de l'excursion maximale de la tension de sortie, lorsque le circuit est alimenté en + 15V et - 15V et chargé par une impédance $\geq 10 \text{ k}\Omega$.
- 13) En tenant compte de la réponse à la question précédente, indiquer pour ces deux valeurs extrêmes de V_{PT6} , l'état de la diode D4. Conclure quant à la conduction de la diode D4 ?
- 14) Exprimer V_{PT6} en fonction de V_{SIGNAL} et de la tension de seuil de la diode D4.

15) Compléter le chronogramme de VPT6 sur le document réponse N°2 (page CR2)

Remarque : à 50 KHz le filtre R70,C43 introduit un déphasage d'environ -17 degrés ce qui se traduit sur le chronogramme de V_{PT6} par un retard par rapport à V_{SIGNAL} d'environ $1 \mu s$.

Etude de la fonction FS34 : «Echantillonnage et mémorisation de la valeur maximale de l'amplitude»

16) Etablir la relation liant VCRETE à la tension aux bornes du condensateur C41.

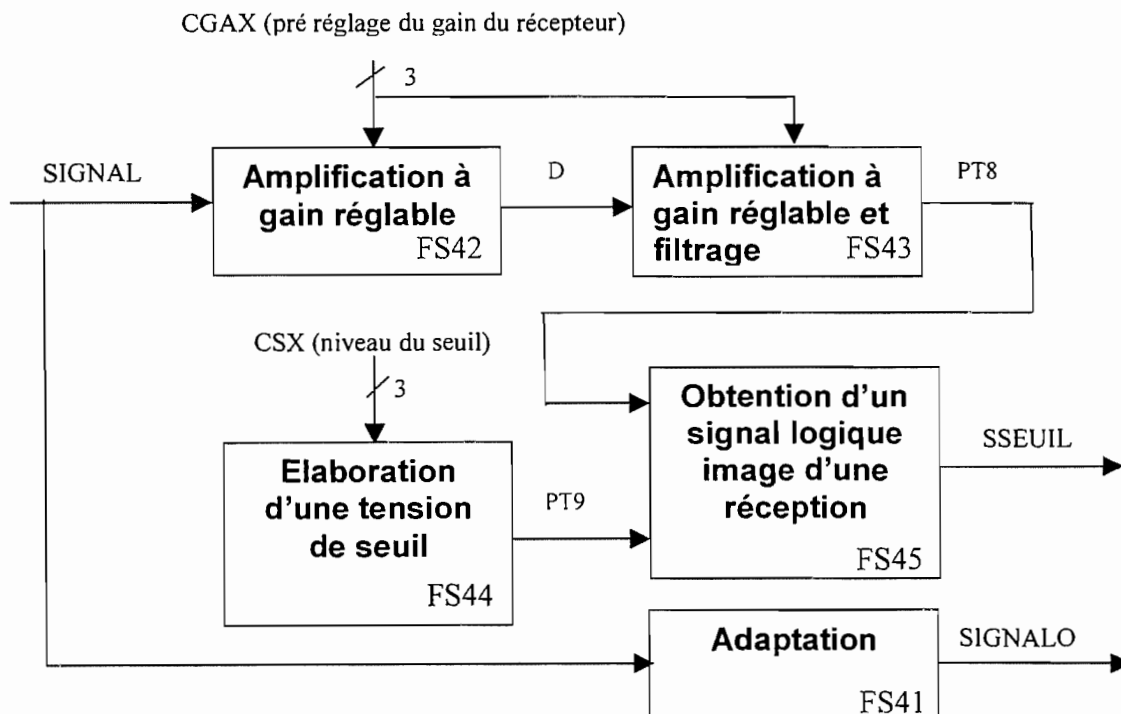
17) Les niveaux appliqués sur CTO et CACK étant toujours ceux définis page 4/14, compléter le chronogramme de VCRETE sur le document réponse N°2 (page CR2). Préciser, sur ce même chronogramme, les différentes phases de fonctionnement, « bloquée » ou « passante », de la diode D3.

18) On établit la liaison entre 9 et 10 de IC25C, en déduire VCRETE en négligeant la résistance du contact. Quelle action de CTO, décrite dans l'analyse fonctionnelle, est ainsi assurée ?

III ETUDE DE FP4 : « Réglage du gain et élimination du bruit »

L'amplitude du signal reçu étant très variable sur les différents sites, il est nécessaire que l'utilisateur dispose d'une grande gamme de réglages d'amplifications et de valeurs de seuils afin de fournir une d.d.p SSEUIL compatible à FP6 (traitement programmé des informations).

Schéma fonctionnel de second degré de FP4



IBELMEI

CGAX

CSX

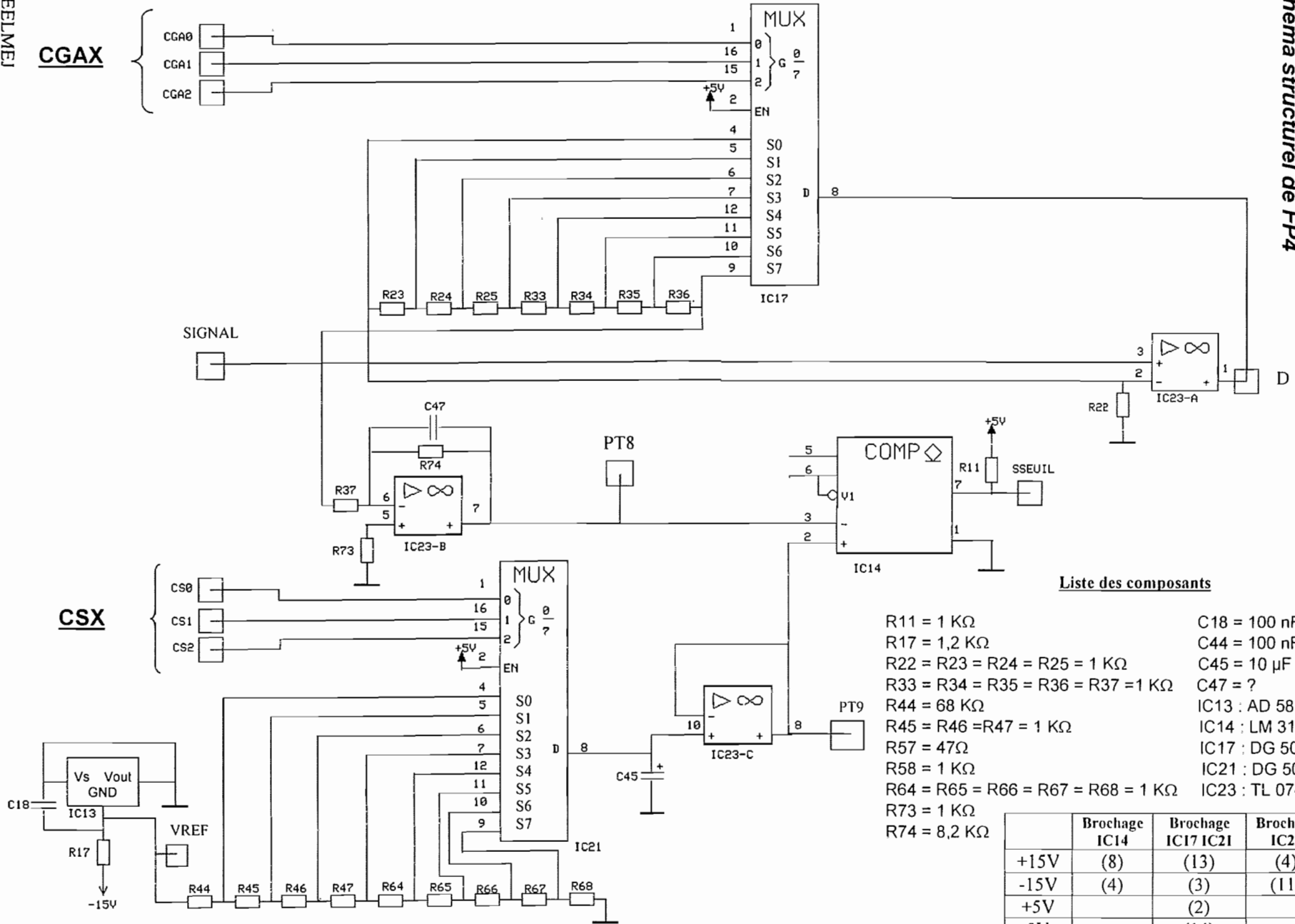


Schéma structurel de FP4

Liste des composants

- R11 = 1 KΩ
- R17 = 1,2 KΩ
- R22 = R23 = R24 = R25 = 1 KΩ
- R33 = R34 = R35 = R36 = R37 = 1 KΩ
- R44 = 68 KΩ
- R45 = R46 = R47 = 1 KΩ
- R57 = 47Ω
- R58 = 1 KΩ
- R64 = R65 = R66 = R67 = R68 = 1 KΩ
- R73 = 1 KΩ
- R74 = 8,2 KΩ
- C18 = 100 nF
- C44 = 100 nF
- C45 = 10 μF
- C47 = ?
- IC13 : AD 581
- IC14 : LM 311
- IC17 : DG 508 AA
- IC21 : DG 508 AA
- IC23 : TL 074

	Brochage IC14	Brochage IC17 IC21	Brochage IC23
+15V	(8)	(13)	(4)
-15V	(4)	(3)	(11)
+5V		(2)	
0V		(14)	

Etude de la fonction FS42 : « Amplification à gain réglable »

19) Extraire de la documentation du multiplexeur analogique référencé DG 508AA (pages CAN4 et CAN5), la résistance maximale rDS_{ON} susceptible d'être obtenue entre l'entrée sélectionnée et la sortie D.

Pour les questions suivantes (20 à 32) :

- on remplacera l'interrupteur fermé par sa résistance rDS_{ON} maximale.
- le mot binaire CGA_X appliqué en entrée du multiplexeur IC17 sera : $[CGA2 CGA1 CGA0] = [0 0 1]$

20) sur le document réponse N° 3 (page CR3), délimiter la structure réalisant la fonction secondaire FS42.

21) Dessiner cette structure (le multiplexeur sera modélisé) en tenant compte du mot CGA_X appliqué.

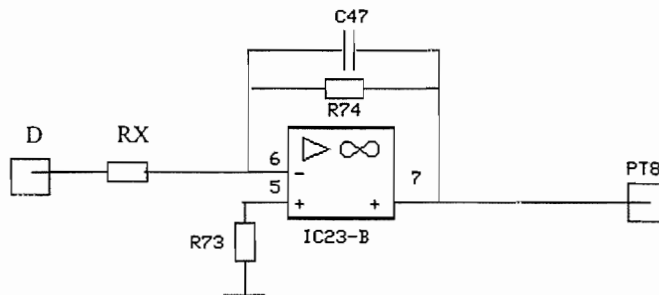
22) Exprimer littéralement la fonction de transfert de cette structure et donner le nom usuel de cette structure à amplificateur intégré.

23) Calculer la valeur numérique du rapport V_D / V_{SIGNAL} .

24) Compléter le chronogramme de V_D sur le document réponse N° 4 (page CR4).

Etude de la fonction FS43 : « Amplification et filtrage »

La structure réalisant cette fonction est la suivante :



25) En considérant toujours $[0 0 1]$, comme mot binaire $[CGA2 CGA1 CGA0]$ appliqué en entrée du multiplexeur IC17, déterminer la valeur de R_X .

26) La fonction de transfert de cette structure est :

$$\underline{T} = A_0 \frac{1}{1 + j \frac{\omega}{\omega_0}} \quad \text{avec :} \quad A_0 = -\frac{R74}{R_X} \quad \text{et} \quad \omega_0 = \frac{1}{R74 \times C47}$$

En déduire la nature du filtre utilisé et calculer la valeurs de A_0 . Déterminer la valeur théorique de $C47$ permettant d'obtenir une fréquence de coupure de ce filtre égale à 4 fois la fréquence du signal ultrasonore utilisé. Choisir, dans la série E6, une valeur normalisée pour ce condensateur.

27) Compléter le chronogramme de V_{PT8} sur le document réponse N°4 (page CR 4).

Etude de la fonction FS44 : « Elaboration d'une tension de seuil »

28) A l'aide de la documentation du circuit référencé AD 581 (pages CAN6 et CAN7), donner le numéro de la figure correspondant à notre utilisation. En déduire la valeur de VREF.

Soit [010] le mot binaire [CS2 CS1 CS0] appliqué en entrée du multiplexeur IC21.

29) Déterminer l'expression littérale de VPT9 en fonction de VREF et des éléments résistifs (on négligera C45).

30) Calculer VPT9 et tracer cette d.d.p sur le document réponse N°4 (page CR4).

Etude de la fonction FS45 : « Obtention d'un signal logique image d'une réception »

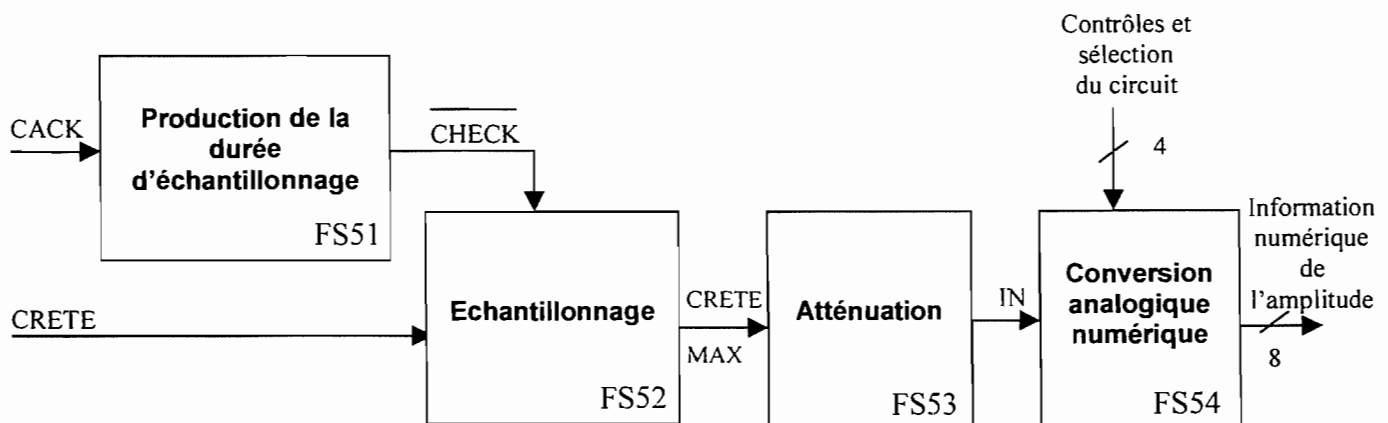
31) En vous aidant de la documentation du circuit référencé LM 311 (page CAN8), indiquer la particularité de l'étage de sortie de ce circuit. Indiquer quel en est l'intérêt ? La résistance R11 est elle nécessaire ? Pourquoi ?

32) Compléter le chronogramme de SSEUIL sur le document réponse N°4 (page CR4).

IV ETUDE DE FP5 : « Conversion analogique numérique de l'amplitude du signal »

A chaque lancement des résultats par la génération de la grandeur logique CACK, FP5 fournit une information numérique sur 8 bits à FP6 (traitement programmé des informations). Cette information numérique est l'image de la valeur maximale de la d.d.p V_{CRETE} .

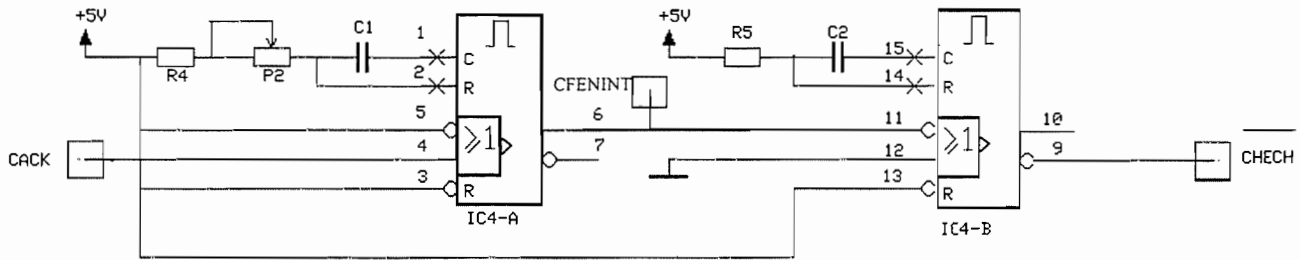
Schéma fonctionnel de second degré de FP5



Etude de la fonction FS51 : « Production de la durée d'échantillonnage »

On se propose de valider que cette fonction nous permet de définir une durée réglable de $5\mu s$ à $30\mu s$ de la fenêtre d'intégration du convertisseur, et à l'issue de celle-ci de déclencher l'échantillonnage.

La structure réalisant cette fonction est la suivante :



	Broche IC4
5v	(16)
0v	(8)

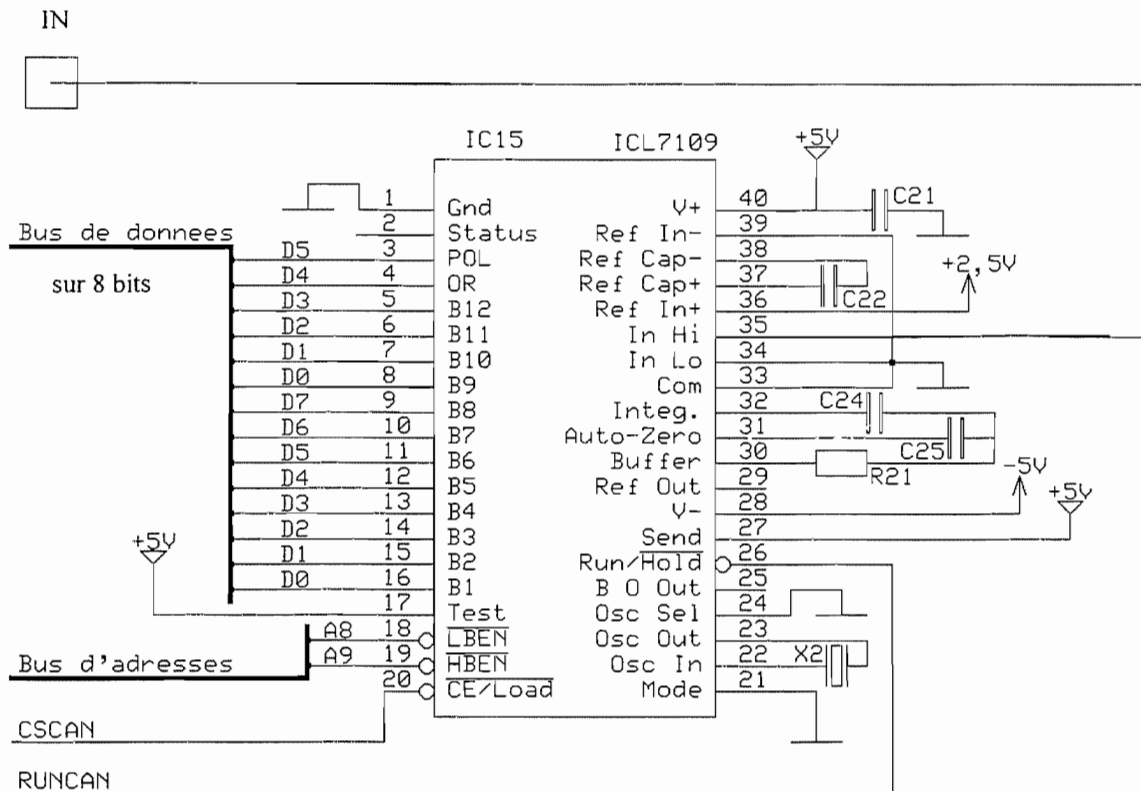
Liste des composants

R4 = 470 Ω C1 = 22 nF IC4 : 4528
 R5 = 10 KΩ C2 = 680 pF

- 33) Extraire de la documentation du circuit référencé 4528 (**page CAN9**), la relation permettant de déterminer la durée de l'impulsion obtenue sur les sorties des monostables lors du déclenchement de ceux-ci. Ces monostables sont redéclenchables. Que signifie cette affirmation ?
- 34) Calculer la valeur du potentiomètre repéré P2 qui permet d'obtenir en CFENINT la plage de réglage : $5\mu s \leq t_1 \leq 30\mu s$ (on ne tiendra pas compte des tolérances sur les composants employés). Choisir P2 dans la série E 12.
- 35) Calculer la durée de l'impulsion t_2 , qu'il est possible d'obtenir en CHECH.
- 36) On suppose P2 réglé afin d'obtenir $t_1 = 20 \mu s$, compléter les chronogrammes de CFENINT et de CHECH sur **le document réponse N°5 (page CR5)**.

Etude de la fonction FS54 : «Conversion analogique numérique»

La structure réalisant cette fonction est la suivante :



R20 = 1 MΩ
R21 = 180 KΩ
X2 : Quartz 2MHz

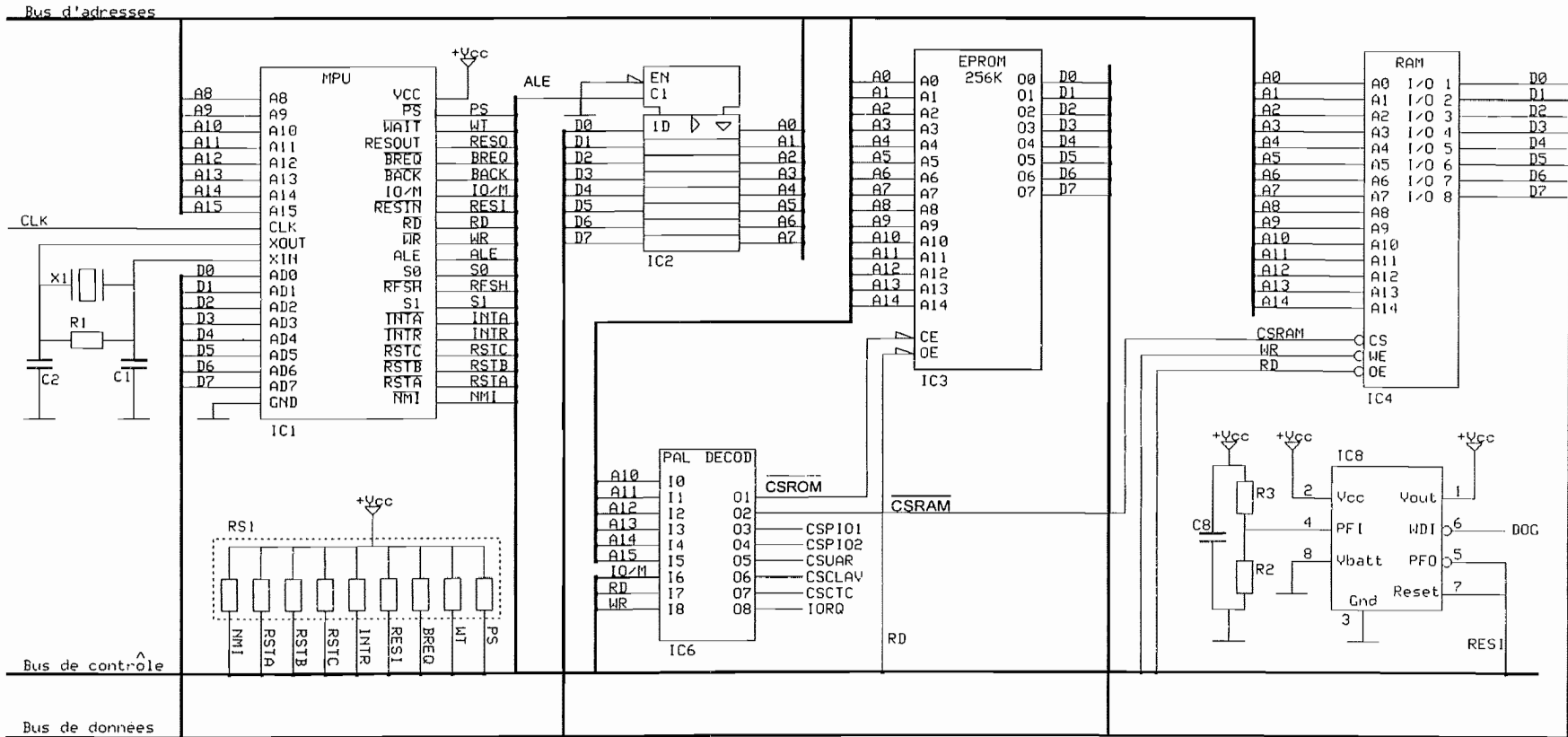
C21 = 100 nF
C22 = 1 μF
C23 = 10 nF

C24 = 4,7 nF
C25 = 10 nF
IC15 : ICL 7109

A partir de la documentation fournie (pages CAN10 et CAN11) répondre aux questions suivantes :

- 37) En fonction du nombre de bits mis en œuvre par ce convertisseur, déterminer le quantum (1 LSB) obtenu.
- 38) On constate, sur le schéma structurel, que quatorze bornes du circuit ICL 7109 sont reliées au bus de données (de huit bits). Expliquer comment un tel transfert de données est possible. Préciser le rôle des entrées LBEN et HBEN .
- 39) Sachant que la d.d.p V_{IN} est proportionnelle à la d.d.p maximale de V_{CRETE} , compléter le tableau de conversion proposé sur le **document réponse N°6** (page CR 6) .

IBELMEJ



Liste des composants

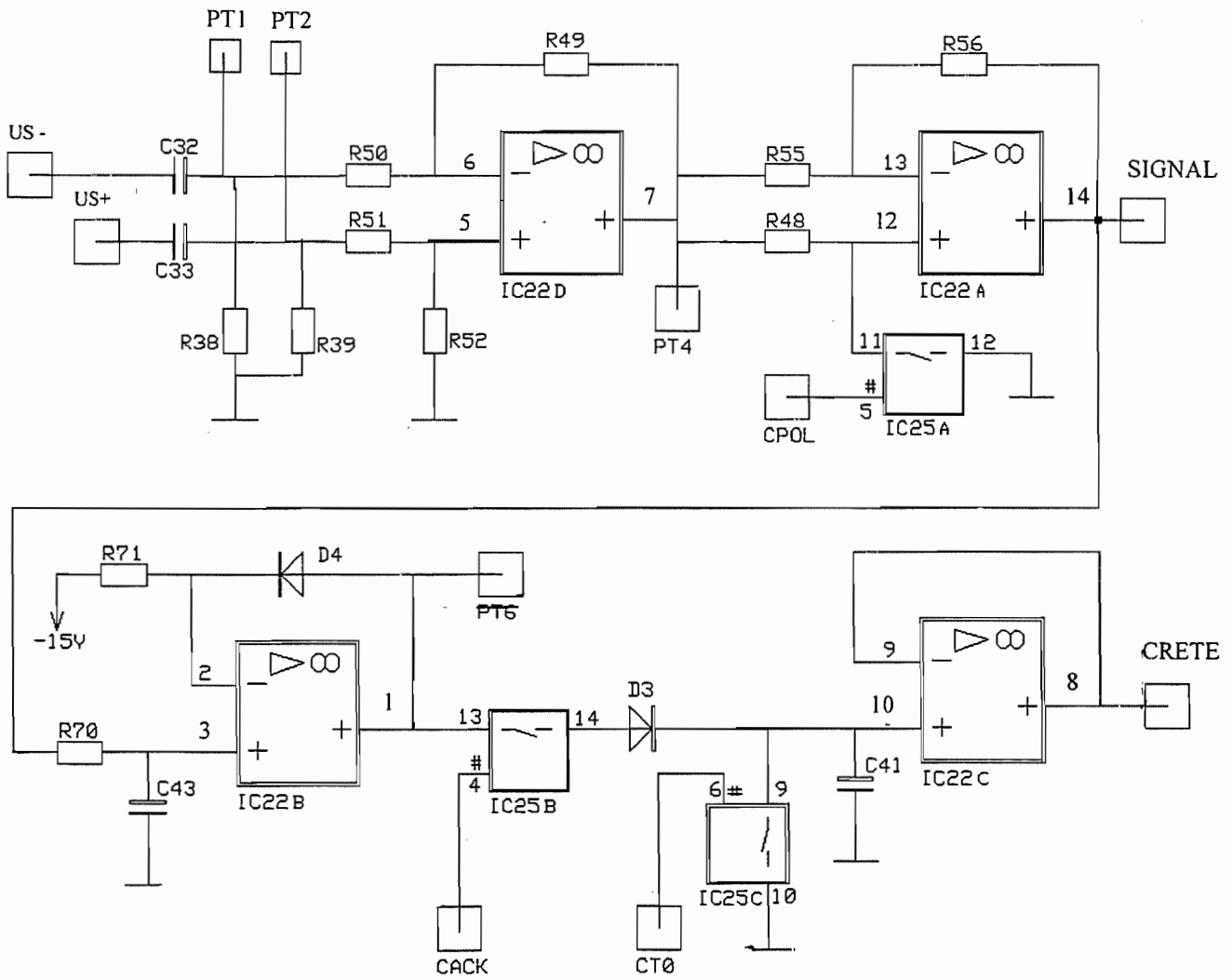
- R1 = 1MΩ
- R2 = 470KΩ
- R3 = 1MΩ
- RS1 : Réseau de résistances 10KΩ
- X1 : Quartz 4,9152MHz
- C1 = 56 pF
- C2 = 22 pF
- C8 = 100nF
- IC1 : NSC800
- IC2 : 74HC573
- IC3 : Am27C256
- IC4 : KM68257
- IC6 : 5C032
- IC8 : MAX690

+Vcc=+5V

Les structures correspondant aux fonctions secondaires FS61 à FS66 ont été regroupées sur le même schéma structurel présenté ci-dessous.

Document réponse N°1

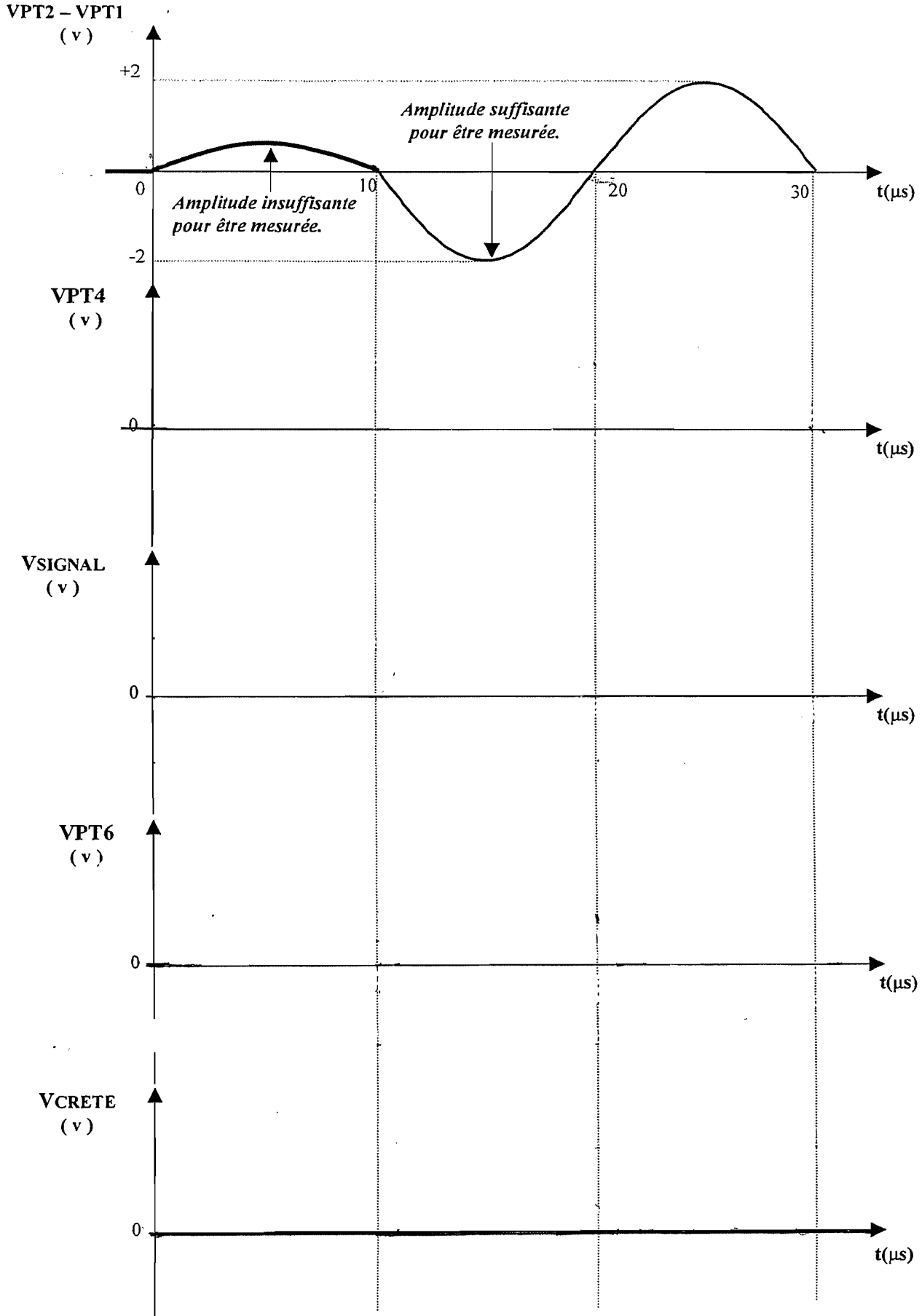
Question 5)

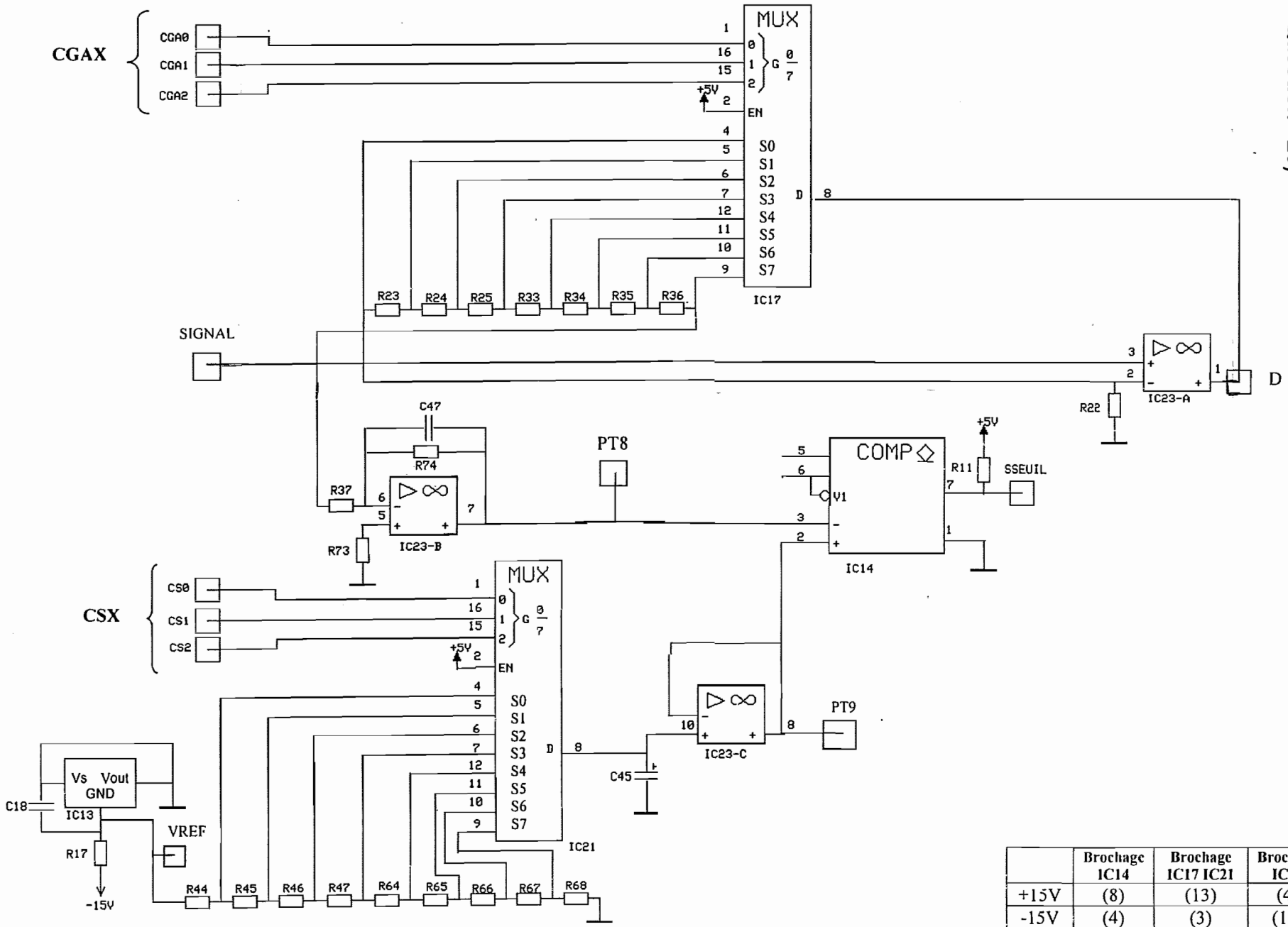


Document réponse N°2

Question 7), 11), 15), 17).

On précisera les valeurs remarquables sur l'axe des ordonnées



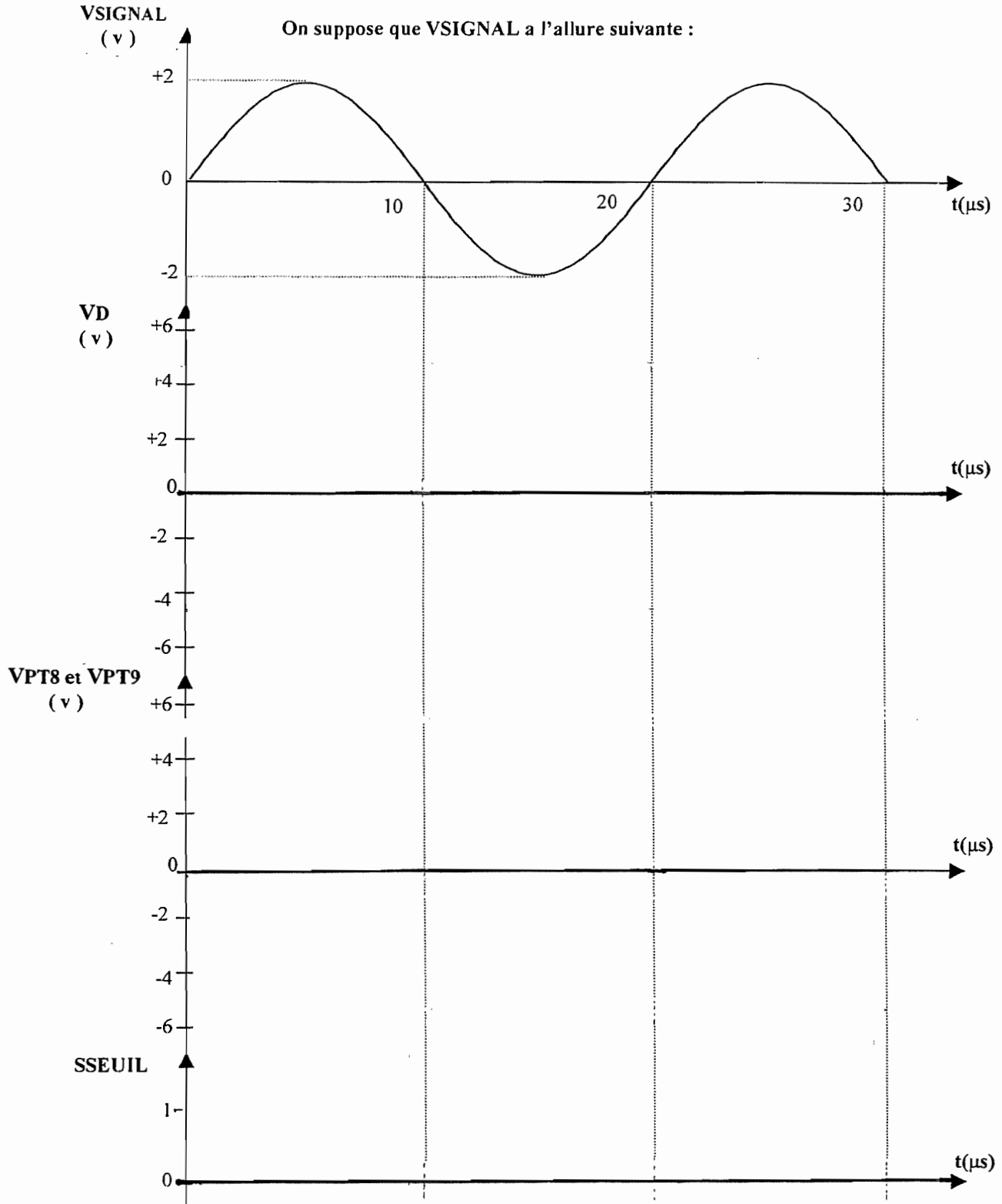


	Brochage IC14	Brochage IC17 IC21	Brochage IC23
+15V	(8)	(13)	(4)
-15V	(4)	(3)	(11)
+5V		(2)	
0V		(14)	

Document réponse N°4

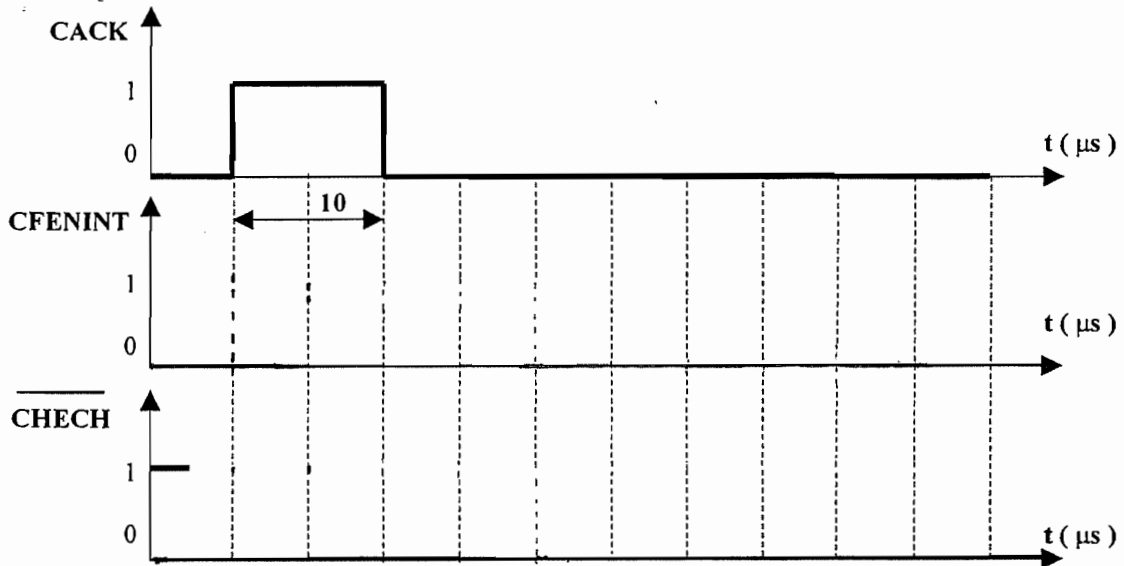
Question 24), 27), 30), 32).

On précisera les valeurs remarquables sur l'axe des ordonnées



Document réponse N°5

Question 36)



Document réponse N°6

Question 39)

Vin	Mot binaire												Valeur Hexadécimale			
	β_2 B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	β_1 B0				
0V																
3,75V																

Question 45)

Circuit		A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	Hexadécimal
EPROM	Début	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	\$0000
	Fin	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	\$7FFF
RAM	Début																	
	Fin																	

Question 46)

	Nom du circuit sélectionné
\$FFFF	
\$E000	
\$C000	
\$A000	
\$8000	
\$6000	
\$4000	
\$2000	
\$0000	

BACCALAUREAT SCIENCES ET TECHNOLOGIES INDUSTRIELLES

Spécialité génie électronique

Session 2001

DOCUMENTS ANNEXES

AVS 2000
Analyse de la Vitesse du Son

PAGES : CAN1 à CAN15

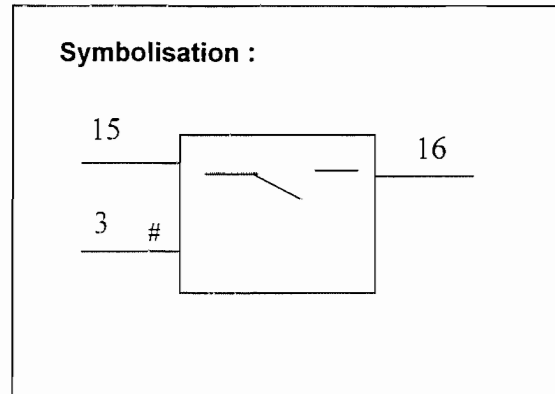
Description Générale :

Les SW-7510/7511 sont des circuits intégrés linéaires monolithiques, contenant chacun quatre commutateurs analogiques indépendants.

Les commutateurs des SW-7510 sont ouverts lorsque les entrées logiques sont au niveau logique bas.
 Les commutateurs des SW-7511 sont ouverts lorsque les entrées logiques sont au niveau logique haut.
 Toutes les entrées sont compatibles avec les technologies TTL et CMOS.

Caractéristiques :

- Pin Compatible with AD7510 DI, AD7511 DI
- JFET Switches Rather than CMOS
- Highly Resistant to Static Discharge Damage
- Radiation Resistant
- No SCR Latch-up Problems
- Low "ON" Resistance -- 75Ω Max
- Superior "OFF" Isolation and Crosstalk
- Digital Inputs Compatible with TTL and CMOS
- No Pull-Up Resistors Required to Insure Break-Before-Make Action with TTL Inputs

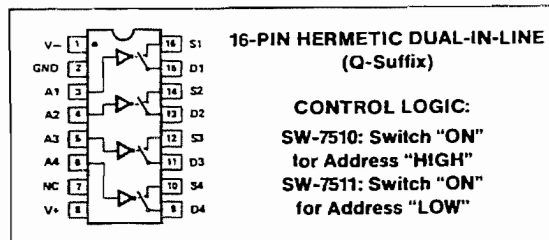


ORDERING INFORMATION†

TYPICAL 25°C RESISTANCE	PACKAGE HERMETIC DIP	TEMPERATURE RANGE
60Ω	SW7510AQ*	MIL
	SW7510EQ	IND
80Ω	SW7510BQ*	MIL
	SW7510FQ	IND
60Ω	SW7511AQ*	MIL
	SW7511EQ	IND
80Ω	SW7511BQ*	MIL
	SW7511FQ	IND

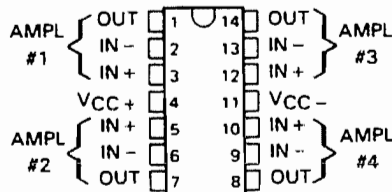
Brochage :

PIN CONNECTIONS



- Low Power Consumption
- Wide Common-Mode and Differential Voltage Ranges
- Low Input Bias and Offset Currents
- Output Short-Circuit Protection
- Low Total Harmonic Distortion . . . 0.003% Typ
- Common-Mode Input Voltage Range Includes V_{CC+}
- Low Noise . . . $V_n = 18 \text{ nV}/\sqrt{\text{Hz}}$ Typ
- High Input Impedance . . . JFET-Input Stage
- Internal Frequency Compensation (Except TL070)
- Latch-Up-Free Operation
- High Slew Rate . . . $13 \text{ V}/\mu\text{s}$ Typ

TL074, TL074A, TL074B
D, J, OR N PACKAGE
TL074 . . . W PACKAGE
(TOP VIEW)



Traduction de quelques termes :

- V_{IO} : Tension de décalage d'entrée
 αV_{IO} : Coefficient. de température de la tension de décalage d'entrée
 I_{IO} : Courant de décalage d'entrée
 I_{IB} : Courant de polarisation d'entrée
 V_{ICR} : Plage de tension d'entrée en mode commun
 V_{OM} : Excursion maximale de la tension de crête en sortie
 AV_D : Amplification en tension différentielle de signaux forts
 B_1 : Largeur de la bande en gain unitaire
 R_i : Résistance d'entrée
 $CMRR$: Taux de réjection en mode commun
 I_{CC} : Courant d'alimentation (par amplificateur)

Description Générale :

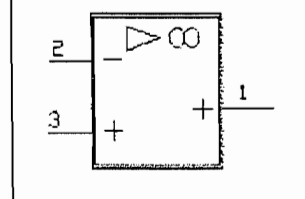
Les amplificateurs opérationnels à JFET de la série TL07x sont les versions à faible bruit des TL08x.

Leur faible distorsion harmonique (0,003% en moyenne) et leur bonne caractéristique de bruit les rendent particulièrement intéressants en audio de haut de gamme.

Les entrées de chaque amplificateur se font sur un étage à JFET. Elles ont donc une impédance très élevée. Ensuite, un étage de sortie à transistors bipolaires leur donne une impédance de sortie relativement basse.

En interne ils sont compensés en fréquence (à l'exception des TL070 et TL070A) ce qui limite considérablement les risques d'oscillations spontanées.

Symbolisation :



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	TL07...C TL07 AC TL07_BC	TL07 I	TL07 M	UNIT
Supply voltage, V_{CC+} (see Note 1)	18	18	18	V
Supply voltage, V_{CC-} (see Note 1)	-18	-18	-18	V
Differential input voltage (see Note 2)	± 30	± 30	± 30	V
Input voltage (see Notes 1 and 3)	± 15	± 15	± 15	V
Duration of output short circuit (see Note 4)	unlimited	unlimited	unlimited	
Continuous total dissipation	See Dissipation Rating Table			
Operating free-air temperature range	0 to 70	-40 to 85	-55 to 125	°C
Storage temperature range	-65 to 150	-65 to 150	-65 to 150	°C
Case temperature for 60 seconds	FK package		260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 60 seconds	J, JG, or W package		300	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	D, N, or P package	260	260	°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	L package		300	°C

- NOTES: 1 All voltage values, except differential voltages, are with respect to the midpoint between V_{CC+} and V_{CC-} .
 2 Differential voltages are at the noninverting input terminal with respect to the inverting input terminal.
 3 The magnitude of the input voltage must never exceed the magnitude of the supply voltage or 15 V, whichever is less.
 4 The output may be shorted to ground or to either supply. Temperature and/or supply voltages must be limited to ensure that the dissipation rating is not exceeded.

electrical characteristics, $V_{CC\pm} = \pm 15$ V (unless otherwise noted)

PARAMETER	TEST CONDITIONS†		TL071M TL072M			TL074M			UNIT
			MIN	TYP	MAX	MIN	TYP	MAX	
V_{IO} Input offset voltage	$V_O = 0,$ $R_S = 50 \Omega,$	$T_A = 25^\circ\text{C}$ $T_A = -55^\circ\text{C to } 125^\circ\text{C}$	3 6 9			3 9 15			mV
αV_{IO} Temperature coefficient of input offset voltage	$V_O = 0,$ $R_S = 50 \Omega,$	$T_A = -55^\circ\text{C to } 125^\circ\text{C}$	18			18			$\mu\text{V}/^\circ\text{C}$
I_{IO} Input offset current‡	$V_O = 0$	$T_A = 25^\circ\text{C}$ $T_A = -55^\circ\text{C to } 125^\circ\text{C}$	5 100 20			5 100 20			pA nA
I_{IB} Input bias current	$V_O = 0$	$T_A = 25^\circ\text{C}$ $T_A = -55^\circ\text{C to } 125^\circ\text{C}$	65 200 50			65 200 50			pA nA
V_{ICR} Common-mode input voltage range	$T_A = 25^\circ\text{C}$		± 11 to $+15$			± 11 to $+15$			V
V_{OM} Maximum peak output voltage swing	$R_L = 10 \text{ k}\Omega$ $R_L \geq 10 \text{ k}\Omega$ $R_L \geq 2 \text{ k}\Omega$	$T_A = 25^\circ\text{C}$ $T_A = -55^\circ\text{C to } 125^\circ\text{C}$	$\pm 12 \pm 13.5$			$\pm 12 \pm 13.5$			V
A_{VD} Large-signal differential voltage amplification	$V_O = \pm 10 \text{ V},$ $R_L \geq 2 \text{ k}\Omega$	$T_A = 25^\circ\text{C}$ $T_A = -55^\circ\text{C to } 125^\circ\text{C}$	35 200 15			35 200 15			V/mV
B_1 Unity-gain bandwidth	$T_A = 25^\circ\text{C}$		3			3			MHz
r_i Input resistance	$T_A = 25^\circ\text{C}$		10^{12}			10^{12}			Ω
CMRR Common-mode rejection ratio	$V_{IC} = V_{ICR} \text{ min},$ $R_S = 50 \Omega,$	$V_O = 0,$ $T_A = 25^\circ\text{C}$	80 86			80 86			dB
k_{SVR} Supply voltage rejection ratio ($\Delta V_{CC\pm}/\Delta V_{IO}$)	$V_{CC} = \pm 15 \text{ V to } \pm 9 \text{ V},$ $R_S = 50 \Omega,$	$V_O = 0,$ $T_A = 25^\circ\text{C}$	80 86			80 86			dB
I_{CC} Supply current (each amplifier)	No load, $T_A = 25^\circ\text{C}$		1.4 2.5			1.4 2.5			mA
V_{O1}/V_{O2} Crosstalk attenuation	$A_{VD} = 100,$ $T_A = 25^\circ\text{C}$		120			120			dB

† All characteristics are measured under open-loop conditions with zero common-mode voltage unless otherwise specified.
 ‡ Input bias currents of a FET-input operational amplifier are normal junction reverse currents, which are temperature sensitive as shown in Figure 6. Pulse techniques must be used that will maintain the junction temperature as close to the ambient temperature as possible.

Description générale :

Le DG508A est un multiplexeur analogique CMOS monolithique 8 canaux vers 1.

L'entrée de validation (EN) étant au niveau logique haut un des commutateurs est sélectionné (basse impédance, état "passant") par les entrées d'adresses (A2, A1, A0). L'entrée de validation étant au niveau logique bas, tous les commutateurs sont en état de haute impédance (état bloqué) indépendamment des entrées d'adresses.

Les circuits Maxim ont une faible résistance lorsque l'interrupteur est fermé, un temps de commutation rapide et une faible consommation.

Symbolisation :

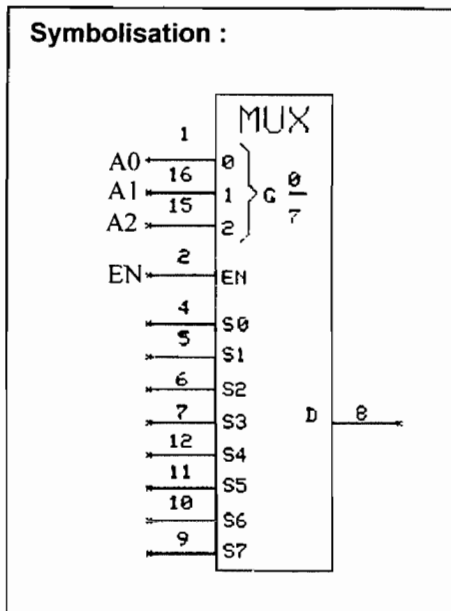


Table de vérité :

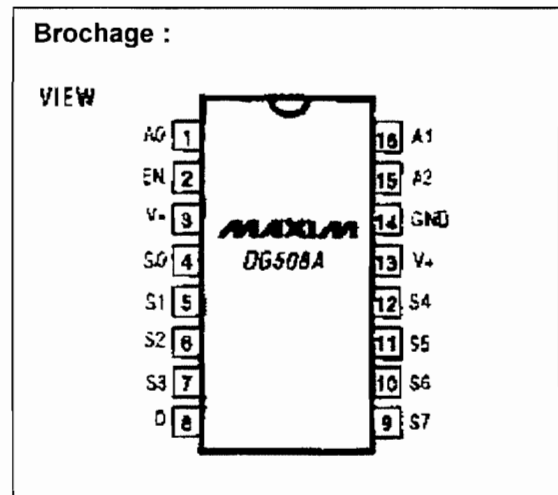
A2	A1	A0	EN	Broche D Connectée à
x	x	x	0	AUCUN
0	0	0	1	S0
0	0	1	1	S1
0	1	0	1	S2
0	1	1	1	S3
1	0	0	1	S4
1	0	1	1	S5
1	1	0	1	S6
1	1	1	1	S7

x : sans importance

Caractéristiques :

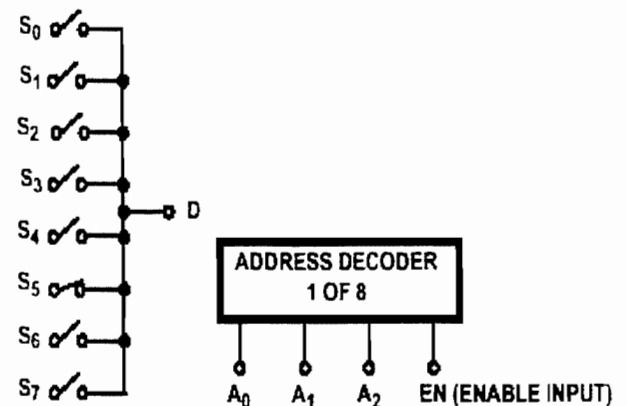
- Tension d'alimentation de 4,5 à 18V
- Utilisation en bidirectionnel
- Entrées de validation et entrées logiques, compatibles TTL et CMOS
- CMOS monolithique à faible consommation

Brochage :



Structure interne :

DG508A



3 Line Binary Address Inputs

(1 0 1) and EN = 1

Above example shows channel 6 turned ON.

CARACTERISTIQUES ELECTRIQUES

(V+ = 15V, V- = 15V, GND = 0V, TA = +25°C, sauf indication contraire)

PARAMETRES	SYMBOLE	CONDITIONS	DG508AA DG509AA			DG508AD/E/B/C DG509AD/E/B/C			UNITE		
			MIN	TYP	MAX	MIN	TYP	MAX			
COMMUTATEUR											
Plage du signal	V _{ANALOG}		-15		15	-15		15	V		
Résistance à l'état passant Drain - source	r _{DS(ON)}	Sequence each switch on, V _{AL} = 0.8V, V _{AH} = 2.4V	V _D = 10V, I _S = -200µA		170	300	170		350	Ω	
			V _D = -10V, I _S = -200µA		130	300	130		350		
Variation de la résistance à l'état passant entre deux canaux	Δr _{DS(ON)}	$\Delta r_{DS(ON)} = \left(\frac{r_{DS(ON) \max} - r_{DS(ON) \min}}{r_{DS(ON)}} \right)$ -10V ≤ V _S ≤ 10V			6		6		%		
Courant de fuite source ouverte	I _{S(OFF)}	V _{EN} = 0V	V _S = 10V, V _D = -10V		0.002	0.5	0.002		1	nA	
			V _S = -10V, V _D = 10V		-0.5	-0.005	-1		-0.005		
Courant de fuite Drain ouvert	DG508A	I _{D(OFF)}	V _{EN} = 0V	V _D = 10V, V _S = -10V		0.01	2	0.01		5	nA
	DG509A			V _D = -10V, V _S = 10V		-2	-0.015	-5		-0.015	
				V _D = 10V, V _S = -10V		0.005	2	0.005		5	
				V _D = -10V, V _S = 10V		-2	-0.008	-5		-0.008	
Courant de fuite Drain fermé	DG508A	I _{D(ON)} (Note 2)	Sequence each switch on, V _{AL} = 0.8V, V _{AH} = 2.4V	V _{S(all)} = V _D = 10V		0.015	2	0.015		5	nA
	DG509A			V _{S(all)} = V _D = -10V		2	-0.03	-5		-0.03	
				V _{S(all)} = V _D = 10V		0.007	2	0.007		5	
				V _{S(all)} = V _D = -10V		-2	-0.015	-5		-0.015	

IEELMEJ

Description Générale :

Le composant AD581 distribué par Analog Devices est une référence de tension de haute précision qui fournit une différence de potentiels stable de 10 V, pour des applications analogiques, et plus particulièrement adaptée aux convertisseurs 8, 10, 12 et 14 bits.

Il possède une compensation en température, qui est réalisée par une structure interne, et fonctionne sans problème avec des alimentations comprises entre +12,5V et 30 V, pour un courant consommé de 750 μ A.

Cette référence de tension peut être connectée directement à un grand nombre de convertisseurs CMOS A/D ou D/A et se prête très facilement aux applications fonctionnant sous 15V.

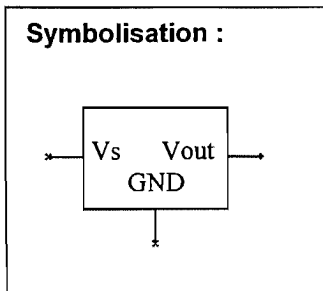
Une précision égale à ± 5 mV et une stabilité en température de 5 ppm/ $^{\circ}$ C permettent de supprimer les différents circuits de corrections dans beaucoup de montages.

Les boîtiers sont disponibles en version TO 5 pour les utilisations commerciales et militaires, ainsi qu'en version CMS 8 broches.

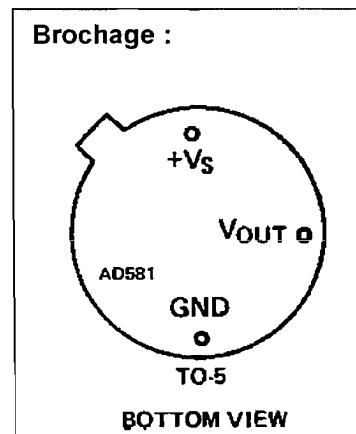
Caractéristiques :

- Tension délivrée de +10V \pm 5 mV
- Stabilité en température : 5 ppm/ $^{\circ}$ C
- Stabilité à long terme
- Possibilité d'une tension de référence de -10V
- Aucune broche de réglage
- Peut fournir un courant de sortie de 10 mA
- Supporte les courts-circuits
- Faible courant de repos 1mA
- Tensions de fonctionnement +12,5V à 30 V

Symbolisation :



Brochage :



Montages d'application :

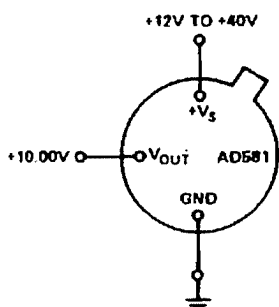


Figure 1. AD581 Pin Configuration (Top View)

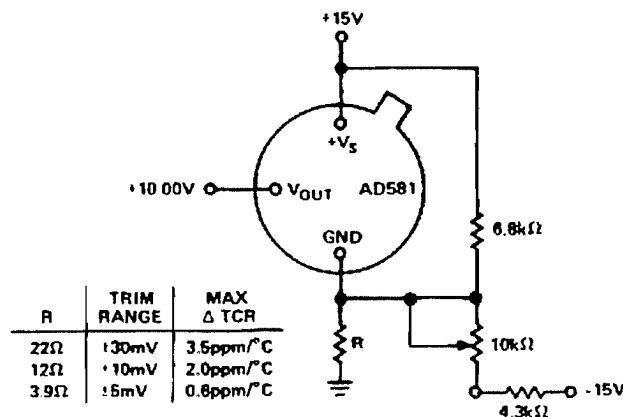


Figure 2. Optional Fine Trim Configuration

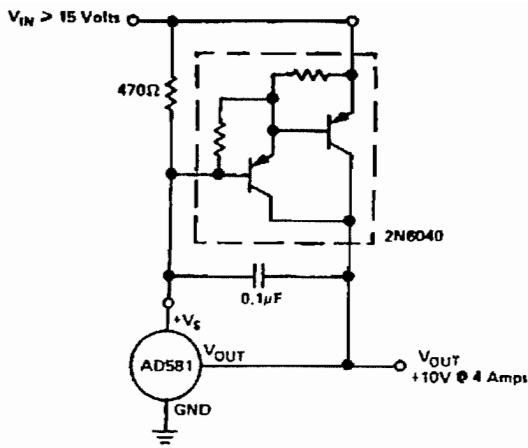


Figure 3. High Current Precision Supply

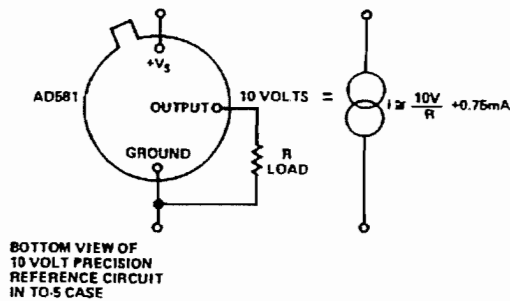


Figure 5. A Two-Component Precision Current Limiter

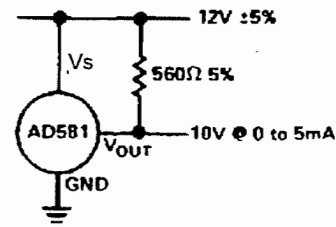


Figure 4. 12-Volt Supply Connection

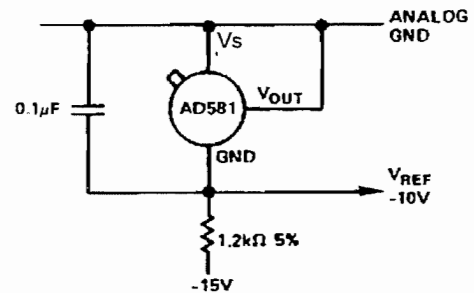


Figure 6. Two-Terminal -10 Volt Reference

AD581—SPECIFICATIONS (@ $V_{IN} = +15\text{ V}$ and $+25^\circ\text{C}$)

Modèle	AD581J			AD581K			AD581L			Units
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
Tolérance sur la tension de sortie			±30			±10			±5	mV
Dérive de la tension de sortie en fonction de la température			±13.5			±6.75			±2.25	mV
			30			15			5	ppm/°C
REGULATION EN LIGNE										
15 V ≤ V_{IN} ≤ 30 V			3.0 (0.002)			3.0 (0.002)			3.0 (0.002)	mV %/V
13 V ≤ V_{IN} ≤ 15 V			1.0 (0.005)			1.0 (0.005)			1.0 (0.005)	mV %/V
REGULATION EN CHARGE										
0 ≤ I_{OUT} ≤ 5 mA		200	500		200	500		200	500	μV/mA
COURANT CONSOMME AU REPOS		0.75	1.0		0.75	1.0		0.75	1.0	mA
TEMPS DE MONTEE		200			200			200		μs
BRUIT (0.1 Hz à 10 Hz)		40			40			40		μV (p-p)
STABILITE A LONG TERME		25			25			25		ppm/1000 hrs.
COURANT DE COURT-CIRCUIT		30			30			30		mA
COURANT DE SORTIE										
Source @ +25°C	10			10			10			mA
Source T_{MIN} to T_{MAX}	5			5			5			mA
Sink T_{MIN} to T_{MAX}	5			5			5			μA
Sink -55°C to +85°C				-			-			mA
PLAGE DE TEMPERATURES										
De fonctionnement	0		+70	0		+70	0		+70	°C
De stockage	65		+150	-65		+150	-65		+150	°C
TYPE DE BOITIER										
TO-5 (H-03B)		AD581JH			AD581KH			AD581LH		

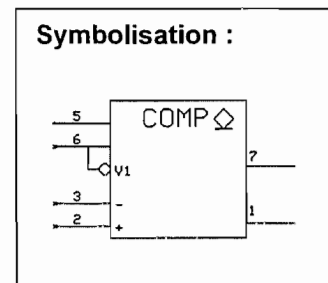
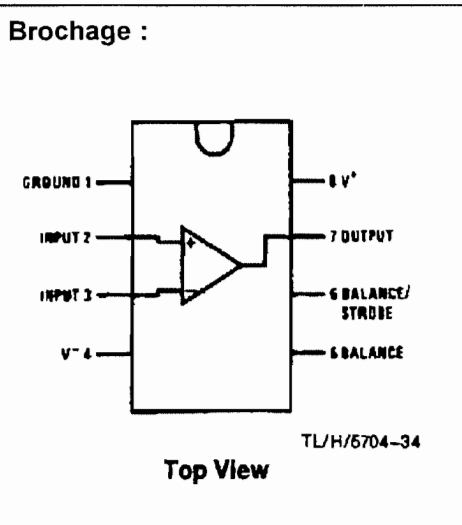
IEELMEJ

Description Générale :

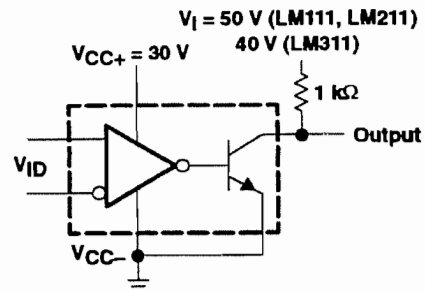
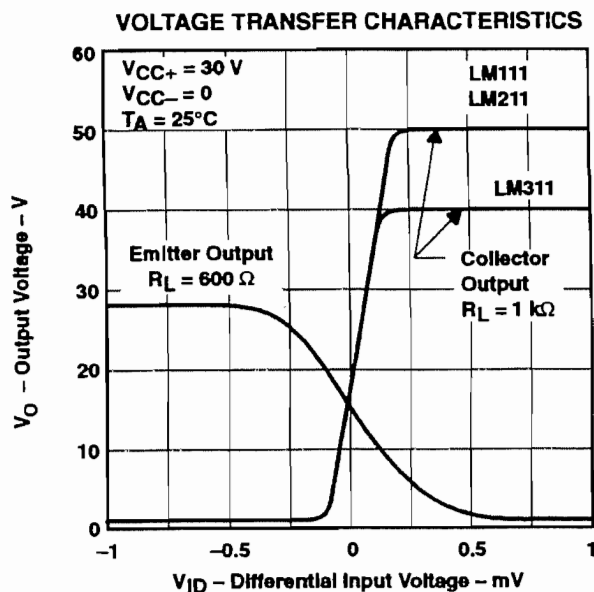
Les LM111, LM211 et LM311 sont des comparateurs de tensions qui ont des courants d'entrée mille fois plus faibles que les LM106 ou LM710. Ils peuvent fonctionner dans une grande plage de tensions d'alimentation : de $\pm 15V$ à 0 et +5V utilisé en logique TTL. Les sorties sont compatibles avec RTL, DTL et TTL ainsi qu'avec les circuits MOS.

Caractéristiques :

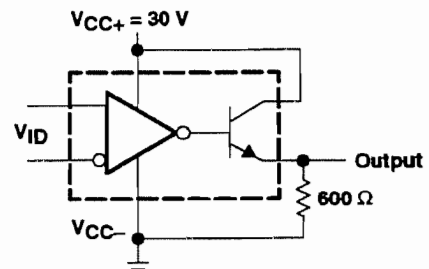
- Tension d'alimentation simple de +5V ou de $\pm 15V$.
- Courant d'entrée de 15 nA max.
- Courant de décalage de 20 nA max.
- Plage de tensions d'entrée différentielles $\pm 30V$
- Puissance consommée : 135 mW à $\pm 15V$.



TYPICAL CHARACTERISTICS†



COLLECTOR OUTPUT TRANSFER CHARACTERISTIC TEST CIRCUIT FOR FIGURE



EMITTER OUTPUT TRANSFER CHARACTERISTIC TEST CIRCUIT FOR FIGURE

Description Générale :

Le 4528 est un double multivibrateur monostable redéclenchable et réinitialisable soit par un front descendant appliqué sur l'entrée I_0 quand I_1 est à l'état bas, soit par un front montant appliqué sur l'entrée I_1 lorsque I_0 est à l'état haut.

Une entrée de remise à zéro prioritaire \overline{CD} permet de réinitialiser les sorties O et \overline{O} et bloque toutes les impulsions jusqu'à ce que cette entrée revienne au niveau haut.

La durée de l'impulsion de sortie t_w est déterminée par les valeurs de la résistance R_t et du condensateur C_t extérieurs ainsi que du coefficient K qui dépend de la tension d'alimentation du circuit : $t_w = K.R_t.C_t$ (t_w en s, R_t en Ω , C_t en F).

Enfin, on peut prolonger la durée de l'impulsion de sortie en appliquant à nouveau une impulsion de déclenchement sur l'une des entrées.

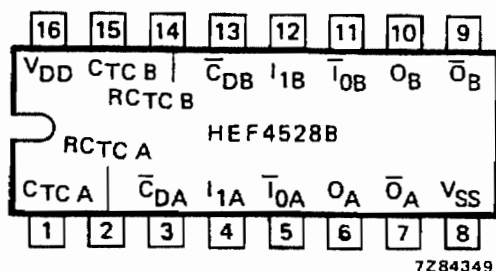
Caractéristiques :

- Large plage d'alimentation de 3 à 15V.
- Largeur d'impulsion $t_w = K.R_t.C_t$
- Entrées de remise à zéro peuvent bloquer les monostables.
- Brochage compatible avec le 4538

Notes :

$K = 0,42$ pour $V_{DD} = 5V$
 $K = 0,32$ pour $V_{DD} = 10V$
 $K = 0,30$ pour $V_{DD} = 15V$

Brochage :



Symbolisation :

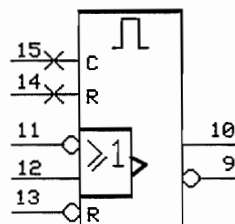


Table de vérité :

ENTREES			SORTIES	
I_0	I_1	\overline{CD}	O	\overline{O}
↘	L	H	⌊	⌋
H	↗	H	⌊	⌋
X	X	L	L	H

- H : niveau haut
- L : niveau bas
- X : sans importance
- ↗ : front montant
- ↘ : front descendant
- ⌊ : impulsion positive
- ⌋ : impulsion négative

Features

- 12 Bit Binary (Plus Polarity and Overrange) Dual Slope Integrating Analog-to-Digital Converter
- Byte-Organized TTL Compatible Tri-State Outputs and UART Handshake Mode for Simple Parallel or Serial Interfacing to Microprocessor Systems
- RUN/HOLD Input and STATUS Output Can Be Used to Monitor and Control Conversion Timing
- True Differential Input and Differential Reference
- Low Noise - Typically $15\mu V_{p,p}$
- 1pA Typical Input Current
- Operates At Up to 30 Conversions/Sec
- On-Chip Oscillator Operates with Inexpensive 3.58MHz TV Crystal Giving 7.5 Conversions/Sec for 60Hz Rejection. May Also Be Used with An RC Network Oscillator for Other Clock Frequencies

Description

The ICL7109 is a high performance, CMOS, low power integrating A/D converter designed to easily interface with microprocessors.

The output data (12 bits, polarity and overrange) may be directly accessed under control of two byte enable inputs and a chip select input for a single parallel bus interface. A UART handshake mode is provided to allow the ICL7109 to work with industry-standard UARTs in providing serial data transmission. The RUN/HOLD Input and STATUS output allow monitoring and control of conversion timing.

The ICL7109 provides the user with the high accuracy, low noise, low drift versatility and economy of the dual-slope integrating A/D converter. Features like true differential input and reference, drift of less than $1\mu V/^{\circ}C$, maximum input bias current of 10pA, and typical power consumption of 20mW make the ICL7109 an attractive per-channel alternative to analog multiplexing for many data acquisition applications.

Description Générale :

Le circuit ICL7109 est un convertisseur Analogique/Numérique 12 bits conçu pour être directement relié à un microprocesseur.

Le mot binaire obtenu après conversion peut être transmis par un bus de données de huit bits grâce à un multiplexage. Les bornes LBEN (partie basse, broche 18) et HBEN (partie haute, broche 19) permettent de sélectionner respectivement la partie basse et la partie haute du mot transmis.

Des informations logiques concernant la polarité et le dépassement sont également disponibles.

Le mot (décimal) disponible en sortie est défini par la formule :

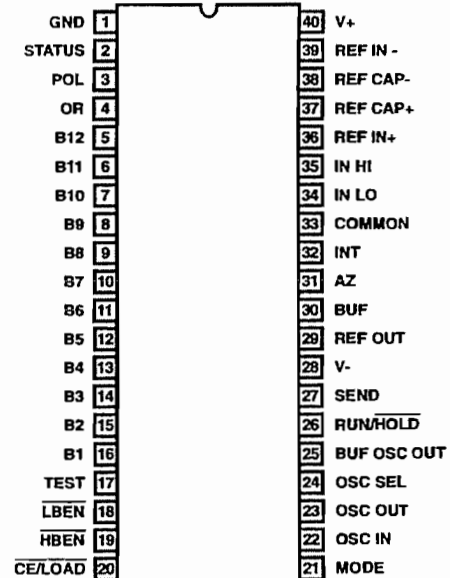
$$M = 2048 \times \frac{(VIN HI - VIN LO)}{(VREFIN + - VREFIN -)}$$

Avec :

- VIN HI : tension appliquée à la borne 35,
- VIN LO : tension appliquée à la borne 34,
- VREFIN+ : tension appliquée à la borne 36,
- VREFIN- : tension appliquée à la borne 39.

Pinout

ICL7109
(CDIP, PDIP)
TOP VIEW



Pin Description

PIN	SYMBOL	DESCRIPTION	
1	GND	Digital Ground, 0V. Ground return for all digital logic.	
2	STATUS	Output High during Integrate and deIntegrate until data is latched. Output Low when analog section is in Auto-Zero configuration.	
3	POL	Polarity - HI for positive input.	Tri-State output data bits
4	OR	Overrange - HI if overranged.	Tri-State output data bits
5	B12	Bit 12	(Most Significant Bit) Tri-State output data bits
6	B11	Bit 11	High = True Tri-State output data bits
7	B10	Bit 10	High = True Tri-State output data bits
8	B9	Bit 9	High = True Tri-State output data bits
9	B8	Bit 8	High = True Tri-State output data bits
10	B7	Bit 7	High = True Tri-State output data bits
11	B6	Bit 6	High = True Tri-State output data bits
12	B5	Bit 5	High = True Tri-State output data bits
13	B4	Bit 4	High = True Tri-State output data bits
14	B3	Bit 3	High = True Tri-State output data bits
15	B2	Bit 2	High = True Tri-State output data bits
16	B1	Bit 1	(Least Significant Bit) Tri-State output data bits
17	TEST	Input High - Normal Operation. Input Low - Forces all bit outputs high. Note: This input is used for test purposes only. Tie high if not used.	
18	LBEN	Low Byte Enable - With Mode (Pin 21) low, and $\overline{CE/LOAD}$ (Pin 20) low, taking this pin low activates low order byte outputs B1 through B8. With Mode (Pin 21) high, this pin serves as a low byte flag output used in handshake mode. See Figures 7, 8, 9.	
19	HBEN	High Byte Enable - With Mode (Pin 21) low, and $\overline{CE/LOAD}$ (Pin 20) low, taking this pin low activates high order byte outputs B9 through B12, POL, OR. With Mode (Pin 21) high, this pin serves as a high byte flag output used in handshake mode. See Figures 7, 8, 9.	
20	$\overline{CE/LOAD}$	Chip Enable Load - With Mode (Pin 21) low, $\overline{CE/LOAD}$ serves as a master output enable. When high, B1 through B12, POL, OR outputs are disabled. With Mode (Pin 21) high, this pin serves as a load strobe used in handshake mode. See Figures 7, 8, 9.	
21	MODE	Input Low - Direct output mode where $\overline{CE/LOAD}$ (Pin 20), HBEN (Pin 19) and LBEN (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High - Causes immediate entry into handshake mode and output of data as in Figure 9. Input High - Enables $\overline{CE/LOAD}$ (Pin 20), HBEN (Pin 19), and LBEN (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 7 and 8 at conversion completion.	
22	OSC IN	Oscillator Input	
23	OSC OUT	Oscillator Output	
24	OSC SEL	Oscillator Select - Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator - clock will be same phase and duty cycle as BUF OSC OUT. Input low configures OSC IN, OSC OUT for crystal oscillator - clock frequency will be 1/58 of frequency at BUF OSC OUT.	
25	BUF OSC OUT	Buffered Oscillator Output	
26	RUN/HOLD	Input High - Conversions continuously performed every 8192 clock pulses. Input Low - Conversion in progress completed, converter will stop in Auto-Zero 7 counts before integrate.	
27	SEND	Input - Used in handshake mode to indicate ability of an external device to accept data. Connect to +5V if not used.	
28	V-	Analog Negative Supply - Nominally -5V with respect to GND (Pin 1).	
29	REF OUT	Reference Voltage Output - Nominally 2.8V down from V+ (Pin 40).	
30	BUFFER	Buffer Amplifier Output.	
31	AUTO-ZERO	Auto-Zero Node - Inside foil of C_{AZ} .	
32	INTEGRATOR	Integrator Output - Outside foil of C_{INT} .	
33	COMMON	Analog Common - System is Auto-Zeroed to COMMON.	
34	INPUT LO	Differential Input Low Side.	
35	INPUT HI	Differential Input High Side.	
36	REF IN +	Differential Reference Input Positive.	
37	REF CAP +	Reference Capacitor Positive.	
38	REF CAP -	Reference Capacitor Negative.	
39	REF IN -	Differential Reference Input Negative.	
40	V+	Positive Supply Voltage - Nominally +5V with respect to GND (Pin 1).	

NOTE: All digital levels are positive true.

NSC800™ High-Performance Low-Power CMOS Microprocessor

General Description

The NSC800 is an 8-bit CMOS microprocessor that functions as the central processing unit (CPU) in National Semiconductor's NSC800 microcomputer family. National's microCMOS technology used to fabricate this device provides system designers with performance equivalent to comparable NMOS products, but with the low power advantage of CMOS. Some of the many system functions incorporated on the device, are vectored priority interrupts, refresh control, power-save feature and interrupt acknowledge. The NSC800 is available in dual-in-line and surface mounted chip carrier packages.

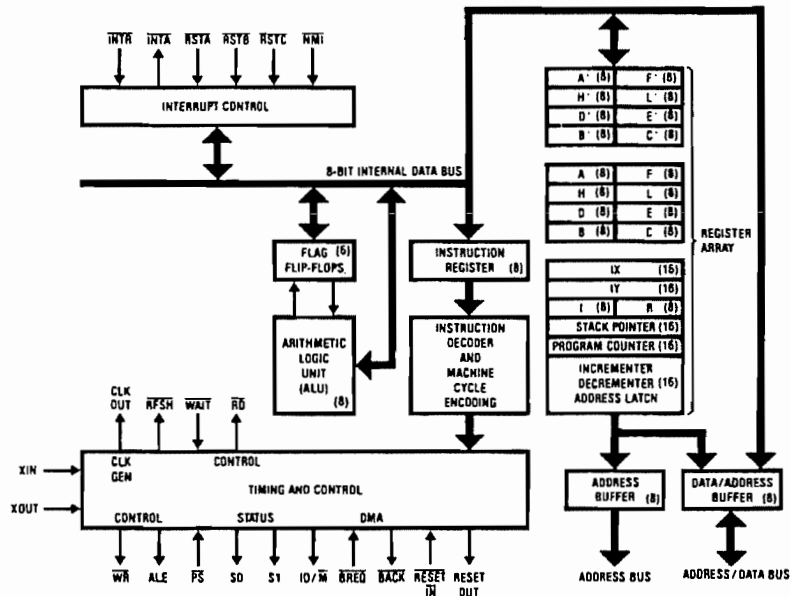
The system designer can choose not only from the dedicated CMOS peripherals that allow direct interfacing to the NSC800 but from the full line of National's CMOS products to allow a low-power system solution. The dedicated peripherals include NSC810A RAM I/O Timer, NSC858 UART, NSC831 I/O, and soon to be available NSC859 ICU and NSC851 HP-IL.

All devices are available in commercial, industrial and military temperature ranges along with two added reliability flows. The first is an extended burn in test and the second is the military class B screening in accordance with Method 5004 of MIL-STD-883.

Features

- Fully compatible with Z80® instruction set:
 - Powerful set of 158 instructions
 - 10 addressing modes
 - 22 internal registers
- Low power: 50 mW at 5V V_{CC}
- Unique power-save feature
- Multiplexed bus structure
- Schmitt trigger input on reset
- On-chip bus controller and clock generator
- Variable power supply 2.4V – 6.0V
- On-chip 8-bit dynamic RAM refresh circuitry
- Speed: 1.0 μ s instruction cycle at 4.0 MHz
 - NSC800-4 4.0 MHz
 - NSC800 2.5 MHz
 - NSC800-1 1.0 MHz
- Capable of addressing 64k bytes of memory and 256 I/O devices
- Five interrupt request lines on-chip

Block Diagram



Pin Descriptions (Continued)

Status (S0, S1): Bus status outputs provide encoded information regarding the current M cycle as follows:

Machine Cycle	Status			Control	
	S0	S1	IO/M	RD	WR
Opcode Fetch	1	1	0	0	1
Memory Read	0	1	0	0	1
Memory Write	1	0	0	1	0
I/O Read	0	1	1	0	1
I/O Write	1	0	1	1	0
Halt*	0	0	0	0	1
Internal Operation*	0	1	0	1	1
Acknowledge of Int**	1	1	0	1	1

*ALE is not suppressed in this cycle.

**This is the cycle that occurs immediately after the CPU accepts an interrupt (RSTA, RSTB, RSTC, INTA, INTB).

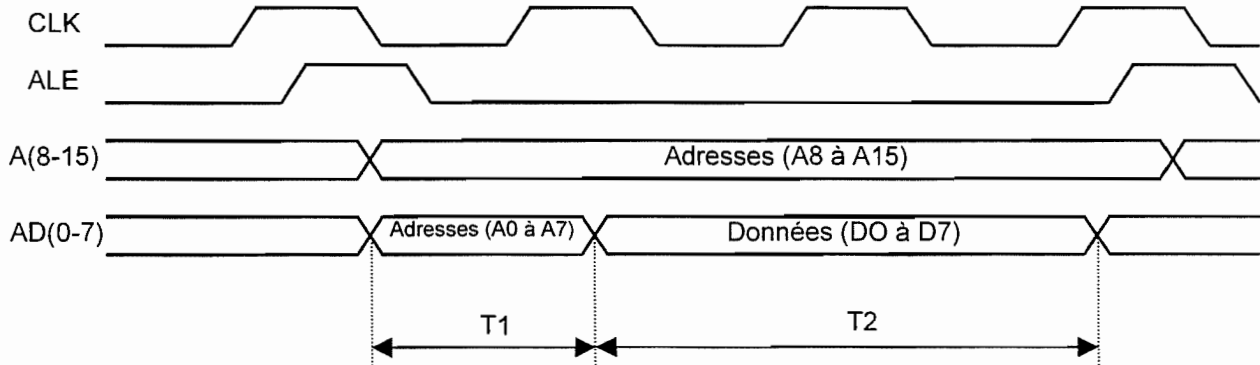
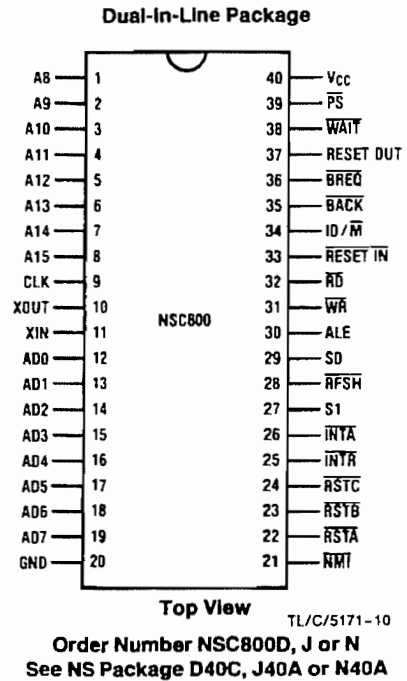
Note 1: During halt, CPU continues to do dummy opcode fetch from location following the halt instruction with a halt status. This is so CPU can continue to do its dynamic RAM refresh.

Note 2: No early status is provided for interrupt or hardware restarts.

Signaux du microprocesseur :

Adresses et données multiplexées (AD(0-7)) : actives au niveau haut.
 Sur la commande RD : entrée des données dans le microprocesseur.
 Sur la commande WR : sortie des données par le microprocesseur.
 Sur le front descendant de ALE : placement de l'octet de poids faible de l'adresse.

Connection Diagrams



Description Générale :

Les circuits 74HC573 sont composés de 8 bascules D à verrouillage rapides utilisant la technologie microCMOS. Ces circuits possèdent une grande immunité aux bruits et consomment moins que les circuits CMOS standard. Les sorties sont en logique 3 états, ils sont idéaux pour interfacer les lignes de bus.

Lorsque OC est à l'état bas et l'entrée de validation (LE) est à l'état haut, les sorties Q recopient les entrées D. Lorsque LE est à l'état bas, les données sont mémorisées tant que LE ne repasse pas au niveau haut. Lorsqu'un niveau logique haut est appliqué sur l'entrée de contrôle de sorties (OC) toutes les sorties passent à l'état haute impédance.

Caractéristiques :

- Temps de propagation typique de 18 ns
- Tension d'alimentation de 2 à 6V
- Faible courant d'entrée : 1µA maximum
- Faible courant de repos : 80µA
- Les sorties peuvent commander 15 charges de technologie LS.

Symbolisation :

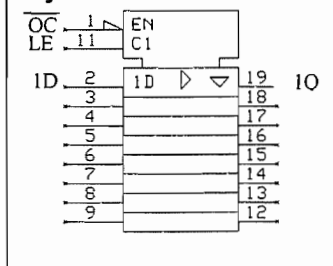


Table de fonctionnement :

OC	LE	Donnée	Sortie
0	1	1	1
0	1	0	0
0	0	X	Q ₀
1	X	X	Z

Z : Haute impédance

X : Etat indifférent

Q₀ : Mémorisation de l'état précédent.

Description Générale :

Le circuit logique reprogrammable EP600 (EPLD) possède l'équivalent de 600 portes de fonctions logiques SSI et MSI dans un boîtier de 24 broches.

L'EP600 possède quatre entrées dédiées, deux entrées d'horloge synchrones et seize entrées/sorties qui peuvent être configurées en entrée, sortie, ou bidirectionnelles.

Ce circuit fait appel à la notion de Macro Cellule qui permet, par programmation, de réaliser de nombreuses fonctions logiques de base.

La Macro Cellule est décomposée en trois parties :

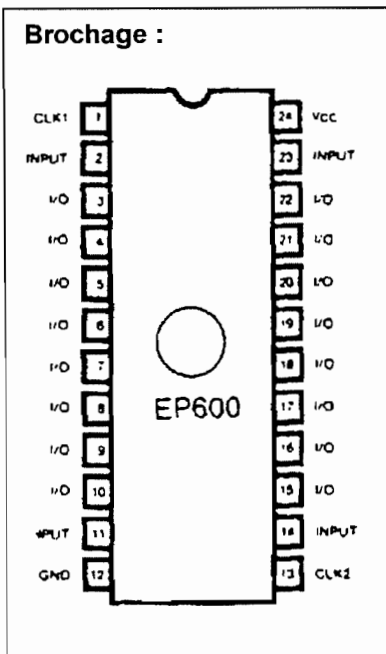
- la zone de connexions programmables (ou réseau logique), qui utilise le principe de matrice de liaison.
- des registres programmables, qui peuvent par programmation prendre l'une des configurations suivantes : de type D flip flop, de type T, de type RS, ou bien encore de type JK. Si cette bascule est inutile, elle peut être éliminée par programmation.
- Les entrées / sorties peuvent être réutilisées par la zone programmable. Par contre, les entrées dédiées sont directement dirigées sur la zone programmable.

Le circuit EP600 est de technologie EPROM CMOS pour configurer la zone de connexions programmables.

Caractéristiques :

- Haute densité d'intégration (jusqu'à 600 portes) remplacement des circuits TTL et 74HC.
- Technologie ACHMOSEEPROM, effaçable et reprogrammable.
- Temps de propagation très rapide 25ns.
- Consommation pratiquement nulle au repos (10µA).
- Signal d'horloge asynchrone pour tous les registres ou utilisation des deux horloges synchrones pour un registre.
- Seize Macro Cellules configurables en entrée/sortie permettant d'obtenir 20 entrées et 16 sorties.
- Les registres peuvent être programmés soit en bascules de type D, T, RS ou JK, avec contrôle de RAZ individuel.
- Possibilité d'interdire la relecture en faisant foudre le fusible "Bit de sécurité"
- La programmation se fait par un programmeur.

Brochage :



Structure d'une Macro Cellule :

